

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年11月 8日

出 願 番 号
Application Number:

特願2002-325832

[ST.10/C]:

[JP2002-325832]

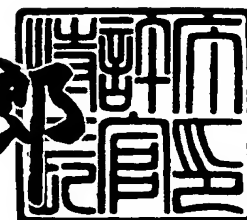
出 願 人
Applicant(s):

パイオニア株式会社

2003年 6月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3050008

【書類名】 特許願
 【整理番号】 56P0863
 【提出日】 平成14年11月 8日
 【あて先】 特許庁長官殿
 【国際特許分類】 G11B 20/00
 【発明の名称】 情報記録再生装置及び情報再生方法
 【請求項の数】 13
 【発明者】
 【住所又は居所】 埼玉県鶴ヶ島市富士見 6 丁目 1 番 1 号 パイオニア株式
 会社 総合研究所内
 【氏名】 小林 秀樹
 【特許出願人】
 【識別番号】 000005016
 【氏名又は名称】 パイオニア株式会社
 【代理人】
 【識別番号】 100079119
 【弁理士】
 【氏名又は名称】 藤村 元彦
 【手数料の表示】
 【予納台帳番号】 016469
 【納付金額】 21,000円
 【提出物件の目録】
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9006557
 【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 情報記録再生装置及び情報再生方法

【特許請求の範囲】

【請求項 1】 同期信号及び記録位置を表すアドレスが予め変調して記録されている記録媒体に対して情報データの記録又は再生を行う情報記録再生装置であって、

前記記録媒体から記録情報の読み取りを行って読取信号を得る読取手段と、
可変の発生タイミングにて復調タイミングパルスを生成するタイミングパルス生成手段と、

前記復調タイミングパルスに応じて前記読取信号から前記同期信号及び前記アドレスを示すアドレスデータを夫々復調する復調手段と、

前記アドレスデータに対して誤り訂正処理を施して訂正アドレスデータを得る誤り訂正手段と、

前記訂正アドレスデータが正しいアドレスであるか否かを判定するアドレス判定手段と、

前記同期信号の周期が所定周期に等しい場合には前記タイミングパルス生成手段をして前記発生タイミングを前記同期信号に同期させる同期処理を実行せしめる同期制御手段と、を有し、

前記同期制御手段は、前記訂正アドレスデータが正しいアドレスであると判定された場合にはその後、前記訂正アドレスデータが不正なアドレスであると判定されるまで前記同期処理の実行を待機させることを特徴とする情報記録再生装置。

【請求項 2】 前記同期制御手段は、前記記録媒体への記録動作中においても前記同期処理の実行を待機させることを特徴とする請求項 1 記載の情報記録再生装置。

【請求項 3】 前記タイミングパルス生成手段は、前記同期制御手段から供給された前記同期処理の実行指令に応じて前記同期信号のタイミングにて所定の初期値を取り込みこの初期値からカウント動作を行うカウンタと、前記カウンタのカウント値が所定値と一致したときにパルス信号を発生しこれを前記復調タイ

ミングパルスとして出力する手段と、からなることを特徴とする請求項 1 記載の情報記録再生装置。

【請求項 4】 前記アドレス判定手段は、前記訂正アドレスデータが連続して 1 ずつ増加又は減少する場合には前記訂正アドレスデータを正しいアドレスであると判定する一方、前記アドレスデータが連続して誤り訂正不可能である場合には前記訂正アドレスデータを不正なアドレスであると判定することを特徴とする請求項 1 記載の情報記録再生装置。

【請求項 5】 同期信号及び記録位置を表すアドレスが予め変調して記録されている記録媒体に対して情報データの記録又は再生を行う情報記録再生装置であって、

前記記録媒体から記録情報の読み取りを行って読取信号を得る読取手段と、

可変の発生タイミングにて復調タイミングパルスを生成するタイミングパルス生成手段と、

前記復調タイミングパルスに応じて前記読取信号から前記同期信号を復調する復調手段と、

前記同期信号の周期が所定周期に等しい場合には前記タイミングパルス生成手段をして前記発生タイミングを前記同期信号に同期させる同期処理を実行せしめる同期制御手段と、を有し、

前記同期制御手段は、前記情報データを前記記録媒体に記録する記録動作中には前記同期処理の実行を待機させることを特徴とする情報記録再生装置。

【請求項 6】 前記タイミングパルス生成手段は、前記同期処理の実行指令に応じて前記同期信号のタイミングにて所定の初期値を取り込みこの初期値からカウント動作を行うカウンタと、前記カウンタのカウント値が所定値と一致したときにパルス信号を発生しこれを前記復調タイミングパルスとして出力する手段と、からなることを特徴とする請求項 5 記載の情報記録再生装置。

【請求項 7】 同期信号及び記録位置を表すアドレスが予め変調して記録されている記録媒体に対して情報データの再生を行う情報再生装置であって、

前記記録媒体から記録情報の読み取りを行って読取信号を得る読取手段と、

可変の発生タイミングにて復調タイミングパルスを生成するタイミングパルス

生成手段と、

前記復調タイミングパルスに応じて前記読取信号から前記同期信号及び前記アドレスを示すアドレスデータを夫々復調する復調手段と、

前記アドレスデータに対して誤り訂正処理を施して訂正アドレスデータを得る誤り訂正手段と、

前記訂正アドレスデータが正しいアドレスであるか否かを判定するアドレス判定手段と、

前記同期信号の周期が所定周期に等しい場合には前記タイミングパルス生成手段をして前記発生タイミングを前記同期信号に同期させる同期処理を実行せしめる同期制御手段と、を有し、

前記同期制御手段は、前記訂正アドレスデータが正しいアドレスであると判定された場合にはその後、前記訂正アドレスデータが不正なアドレスであると判定されるまで前記同期処理の実行を待機させることを特徴とする情報再生装置。

【請求項 8】 同期信号及び記録位置を表すアドレスが予め変調して記録されている記録媒体に対して情報データを記録又は再生する際に前記記録媒体から前記同期信号及び前記アドレスの再生を行う情報再生方法であって、

前記記録媒体から記録情報の読み取りを行って読取信号を得る読取行程と、

可変の発生タイミングにて復調タイミングパルスを生成するタイミングパルス発生行程と、

前記復調タイミングパルスに応じて前記読取信号から前記同期信号及び前記アドレスを示すアドレスデータを夫々復調する復調行程と、

前記アドレスデータに対して誤り訂正処理を施して訂正アドレスデータを得る誤り訂正行程と、

前記訂正アドレスデータが正しいアドレスであるか否かを判定するアドレス判定行程と、

前記同期信号の周期が所定周期に等しい場合には前記発生タイミングを前記同期信号に同期させる同期処理を実行せしめる同期制御行程と、を有し、

前記同期制御行程は、前記訂正アドレスデータが正しいアドレスであると判定された場合にはその後、前記訂正アドレスデータが不正なアドレスであると判定

されるまで前記同期処理の実行を待機することを特徴とする情報再生方法。

【請求項 9】 前記同期制御行程は、前記記録媒体への記録動作中においても前記同期処理の実行を待機することを特徴とする請求項 8 記載の情報再生方法。

【請求項 1 0】 前記タイミングパルス発生行程は、前記同期処理の実行指令に応じて前記同期信号のタイミングにて所定の初期値を取り込みこの初期値からカウント動作を行ってカウント値を得るカウント行程と、前記カウント値が所定値と一致したときにパルス信号を発生しこれを前記復調タイミングパルスとして出力する行程と、からなることを特徴とする請求項 8 記載の情報再生方法。

【請求項 1 1】 前記アドレス判定行程は、前記訂正アドレスデータが連続して 1 ずつ増加又は減少する場合には前記訂正アドレスデータを正しいアドレスであると判定する一方、前記アドレスデータが連続して誤り訂正不可能である場合には前記訂正アドレスデータを不正なアドレスであると判定することを特徴とする請求項 8 記載の情報再生方法。

【請求項 1 2】 同期信号及び記録位置を表すアドレスが予め変調して記録されている記録媒体に対して情報データを記録又は再生する際に前記記録媒体から前記同期信号及び前記アドレスの再生を行う情報再生方法であって、

前記記録媒体から記録情報の読み取りを行って読取信号を得る読取行程と、

可変の発生タイミングにて復調タイミングパルスを生成するタイミングパルス発生行程と、

前記復調タイミングパルスに応じて前記読取信号から前記同期信号を復調する復調行程と、

前記同期信号の周期が所定周期に等しい場合には前記発生タイミングを前記同期信号に同期させる同期処理を実行せしめる同期制御行程と、を有し、

前記同期制御行程は、前記情報データを前記記録媒体に記録する記録動作中は前記同期処理の実行を待機することを特徴とする情報再生方法。

【請求項 1 3】 前記タイミングパルス発生行程は、前記同期処理の実行指令に応じて前記同期信号のタイミングにて所定の初期値を取り込みこの初期値からカウント動作を行ってカウント値を得るカウント行程と、前記カウント値が所

定値と一致したときにパルス信号を発生しこれを前記復調タイミングパルスとして出力する行程と、からなることを特徴とする請求項 1 2 記載の情報再生方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、情報記録再生装置及び情報再生方法に関する。

【0002】

【従来の技術】

近年、CD-RW、DVD-RWの如き情報データの書込が可能な記録ディスク、並びに、かかる記録ディスクに情報データを書き込むディスクレコーダが普及してきた。このような記録ディスクには、ディスク上の位置を表すディスクアドレス及び同期信号が予め記録されている。ディスクレコーダは、その記録動作を開始するにあたり、記録ディスクから読み取られた読取信号中から上記同期信号を検出し、この同期信号に基づいて上記ディスクアドレス復調の為のタイミング信号を発生させるようにしている。よって、隣接トラックからのクロストーク、又はディスク表面に付着した埃、傷、指紋等の外乱の影響により読取信号が一時的に乱れると、同期信号に対するタイミング信号の位相同期状態が解除されてしまう。すると、同期信号が正常な状態に復帰した際に、再びこの同期信号に位相同期させる為に再同期処理を実行しなければならず、この間、ディスクレコーダは記録動作を中断、又は記録動作を開始させることができなくなるという問題があった。

【0003】

【発明が解決しようとする課題】

本発明は、外乱等の影響を受けても迅速に情報データの記録を完了させることができる情報記録再生装置及び情報再生方法を提供することを目的とする。

【0004】

【課題を解決するための手段】

請求項 1 に記載の情報記録再生装置は、同期信号及び記録位置を表すアドレスが予め変調して記録されている記録媒体に対して情報データの記録又は再生を行

う情報記録再生装置であって、前記記録媒体から記録情報の読み取りを行って読取信号を得る読取手段と、可変の発生タイミングにて復調タイミングパルスを生成するタイミングパルス生成手段と、前記復調タイミングパルスに応じて前記読取信号から前記同期信号及び前記アドレスを示すアドレスデータを夫々復調する復調手段と、前記アドレスデータに対して誤り訂正処理を施して訂正アドレスデータを得る誤り訂正手段と、前記訂正アドレスデータが正しいアドレスであるかを判定するアドレス判定手段と、前記同期信号の周期が所定周期に等しい場合には前記タイミングパルス生成手段をして前記発生タイミングを前記同期信号に同期させる同期処理を実行せしめる同期制御手段と、を有し、前記同期制御手段は、前記訂正アドレスデータが正しいアドレスであると判定された場合にはその後、前記訂正アドレスデータが不正なアドレスであると判定されるまで前記同期処理の実行を待機させる。

【 0 0 0 5 】

又、請求項 5 に記載の情報記録再生装置は、同期信号及び記録位置を表すアドレスが予め変調して記録されている記録媒体に対して情報データの記録又は再生を行う情報記録再生装置であって、前記記録媒体から記録情報の読み取りを行って読取信号を得る読取手段と、可変の発生タイミングにて復調タイミングパルスを生成するタイミングパルス生成手段と、前記復調タイミングパルスに応じて前記読取信号から前記同期信号を復調する復調手段と、前記同期信号の周期が所定周期に等しい場合には前記タイミングパルス生成手段をして前記発生タイミングを前記同期信号に同期させる同期処理を実行せしめる同期制御手段と、を有し、前記同期制御手段は、前記情報データを前記記録媒体に記録する記録動作中には前記同期処理の実行を待機させる。

【 0 0 0 6 】

又、請求項 7 に記載の情報再生装置は、同期信号及び記録位置を表すアドレスが予め変調して記録されている記録媒体に対して情報データの再生を行う情報再生装置であって、前記記録媒体から記録情報の読み取りを行って読取信号を得る読取手段と、可変の発生タイミングにて復調タイミングパルスを生成するタイミングパルス生成手段と、前記復調タイミングパルスに応じて前記読取信号から前

記同期信号及び前記アドレスを示すアドレスデータを夫々復調する復調手段と、前記アドレスデータに対して誤り訂正処理を施して訂正アドレスデータを得る誤り訂正手段と、前記訂正アドレスデータが正しいアドレスであるか否かを判定するアドレス判定手段と、前記同期信号の周期が所定周期に等しい場合には前記タイミングパルス生成手段をして前記発生タイミングを前記同期信号に同期させる同期処理を実行せしめる同期制御手段と、を有し、前記同期制御手段は、前記訂正アドレスデータが正しいアドレスであると判定された場合にはその後、前記訂正アドレスデータが不正なアドレスであると判定されるまで前記同期処理の実行を待機させる。

【 0 0 0 7 】

又、請求項 8 に記載の情報再生方法は、同期信号及び記録位置を表すアドレスが予め変調して記録されている記録媒体に対して情報データを記録又は再生する際に前記記録媒体から前記同期信号及び前記アドレスの再生を行う情報再生方法であって、前記記録媒体から記録情報の読み取りを行って読取信号を得る読取行程と、可変の発生タイミングにて復調タイミングパルスを生成するタイミングパルス発生行程と、前記復調タイミングパルスに応じて前記読取信号から前記同期信号及び前記アドレスを示すアドレスデータを夫々復調する復調行程と、前記アドレスデータに対して誤り訂正処理を施して訂正アドレスデータを得る誤り訂正行程と、前記訂正アドレスデータが正しいアドレスであるか否かを判定するアドレス判定行程と、前記同期信号の周期が所定周期に等しい場合には前記発生タイミングを前記同期信号に同期させる同期処理を実行せしめる同期制御行程と、を有し、前記同期制御行程は、前記訂正アドレスデータが正しいアドレスであると判定された場合にはその後、前記訂正アドレスデータが不正なアドレスであると判定されるまで前記同期処理の実行を待機する。

【 0 0 0 8 】

又、請求項 1 2 に記載の情報再生方法は、同期信号及び記録位置を表すアドレスが予め変調して記録されている記録媒体に対して情報データを記録又は再生する際に前記記録媒体から前記同期信号及び前記アドレスの再生を行う情報再生方法であって、前記記録媒体から記録情報の読み取りを行って読取信号を得る読取

行程と、可変の発生タイミングにて復調タイミングパルスを生成するタイミングパルス発生行程と、前記復調タイミングパルスに応じて前記読取信号から前記同期信号を復調する復調行程と、前記同期信号の周期が所定周期に等しい場合には前記発生タイミングを前記同期信号に同期させる同期処理を実行せしめる同期制御行程と、を有し、前記同期制御行程は、前記情報データを前記記録媒体に記録する記録動作中は前記同期処理の実行を待機する。

【 0 0 0 9 】

【発明の実施の形態】

図 1 は、記録ディスク 3 0 に対して情報データの記録又は再生を行う情報記録再生装置の構成を示す図である。

図 1 において、記録変調回路 3 1 は、記録ディスク 3 0 に記録すべき情報データに対して所定の記録変調方式に従った変調処理を施して得られた変調記録信号を記録再生ヘッド 3 2 に供給する。記録ディスク 3 0 には、ディスク上の位置を表すディスクアドレス及び記録・再生制御時の同期タイミングを担う同期信号が予め記録されている。尚、これらディスクアドレス及び同期信号には、上記の如き記録変調方式に基づく変調処理が施されている。記録再生ヘッド 3 2 は、スピンドルモータ 3 3 によって回転する記録ディスク 3 0 の記録面に記録ビーム光又は読取ビーム光を照射する。すなわち、記録再生ヘッド 3 2 は、記録ディスク 3 0 に情報データを記録する際には、上記変調記録信号に応じた記録ビーム光を記録ディスク 3 0 の記録面に照射する。一方、記録ディスク 3 0 から情報データを再生する際には、記録再生ヘッド 3 2 は、記録ディスク 3 0 の記録面に読取ビーム光を照射する。この際、記録再生ヘッド 3 2 は、記録ディスク 3 0 の記録面からの反射光を光電変換して読取信号を生成し、これを情報データ再生回路 3 4、アドレス復調回路 3 5 及び同期検出回路 3 6 の各々に供給する。情報データ再生回路 3 4 は、かかる読取信号に対して所定の復調処理を行うことにより、記録ディスク 3 0 に記録されている情報データを復元し、これを再生情報データとして出力する。

【 0 0 1 0 】

アドレス復調回路 3 5 は、タイミング信号生成回路 5 0 (後述する)から供給さ

れたアドレス復調タイミング信号 A X に応じて上記読取信号に対して復調処理を施す。かかる復調処理によりアドレス復調回路 3 5 は、ディスクアドレスを復調し、このディスクアドレスを表すアドレスデータ A D を誤り検出回路 3 7 及び誤り訂正回路 3 8 の各々に供給する。

【 0 0 1 1 】

誤り検出回路 3 7 は、上記アドレスデータ A D に対して誤り検出処理を施す。かかる誤り検出処理により誤り検出回路 3 7 は、1 符号ブロック分のアドレスデータ A D 毎に、このアドレスデータ A D 中に誤りが存在する場合には論理レベル 0、存在しない場合には論理レベル 1 の誤りゼロ信号 E 0 を生成し、これを同期制御回路 4 0 に供給する。更に、誤り検出回路 3 7 は、1 符号ブロック分のアドレスデータ A D 毎に、このアドレスデータ A D が誤り訂正可能である場合には論理レベル 0、誤り訂正が不可能である場合には論理レベル 1 の訂正不可信号 E R を生成し、これを訂正不可連続数カウンタ 3 9 に供給する。

【 0 0 1 2 】

訂正不可連続数カウンタ 3 9 は、訂正不可信号 E R が連続して論理レベル 1 となる回数を計数し、その回数を示す訂正不可連続回数信号 F N を同期制御回路 4 0 に供給する。すなわち、訂正不可連続数カウンタ 3 9 は、アドレスデータ A D が符号ブロック単位で連続して誤り訂正不可能となる回数を示す訂正不可連続回数信号 F N を同期制御回路 4 0 に供給するのである。尚、訂正不可連続回数カウンタ 3 9 は、訂正不可信号 E R が論理レベル 0 となる度に、その計数値を 0 にリセットする。

【 0 0 1 3 】

誤り訂正回路 3 8 は、上記アドレスデータ A D に対して誤り訂正処理を施し、この誤り訂正処理によって誤り訂正の為されたアドレスデータを訂正アドレスデータ A D R としてアドレスカウンタ 4 1、記録再生制御回路 4 2 及び連続変化数カウンタ 4 3 の各々に供給する。

図 2 は、アドレスカウンタ 4 1 の内部構成を示す図である。

【 0 0 1 4 】

図 2 において、加算器 4 1 0 は、訂正アドレスデータ A D R に「1」を加算し

た値をカウンタ411のロードデータ端子DTに供給する。アンドゲート412は、同期制御回路40から論理レベル1のアドレス正常状態信号G2が供給され、かつタイミング信号生成回路50から論理レベル1のデータ確定信号FXが供給された場合に限り論理レベル1のデータロード信号をカウンタ411のデータロード制御端子LDに供給する。カウンタ411は、所定期間経過毎に1ずつカウントアップするカウントアップ動作を行い、現時点でのカウント値を生成アドレスデータADCとして出力する。尚、カウンタ411は、論理レベル1のデータロード信号が供給された場合には、上記訂正アドレスデータADRに1を加算した値をカウント初期値として取り込み、このカウント初期値から引き続き上述した如きカウントアップ動作を行う。尚、カウンタ411は、そのカウント値が所定の最大値に達したらカウント値を0にリセットして、上述した如きカウントアップ動作を継続する。

【0015】

かかる構成により、アドレスカウンタ41は、上述した如きカウントアップ動作にて得られた現時点でのカウント値を生成アドレスデータADCとして記録再生制御回路42に供給する。この際、論理レベル1のアドレス正常状態信号G2が供給されている間に論理レベル1のデータ確定信号FXが供給された場合には、アドレスデータADRに1を加算した値をカウント初期値として取り込み、このカウント初期値から引き続きカウントアップ動作を行う。

【0016】

連続変化数カウンタ43は、上記訂正アドレスデータADRが1ずつ連続して増加又は減少する回数を計数し、その回数を示すアドレス連続変化数信号ANを同期制御回路40に供給する。尚、連続変化数カウンタ43は、上記訂正アドレスデータADRが所定期間経過後に2以上増加(又は減少)した場合、つまり訂正アドレスデータADRにおける1ずつの連続増加(又は減少)が途絶えた場合には、そのカウント回数を0にリセットする。

【0017】

記録再生制御回路42は、ユーザからの各種操作に応じてこの情報記録再生装置の各種記録動作及び再生動作を実施させるべく、記録再生ヘッド32、スピ

ドルモータ 3 3、及び記録再生ヘッド 3 2 をディスク半径方向に移送せしめるスライダ機構(図示せぬ)を制御する。尚、記録動作時には、記録再生制御回路 4 2 は、記録ディスク 3 0 上の所望のディスク位置から記録を開始させるべく、上記生成アドレスデータ A D C 又は訂正アドレスデータ A D R に基づきそのディスク位置の検索を行う。

【 0 0 1 8 】

同期検出回路 3 6 は、タイミング信号生成回路 5 0 (後述する)から供給された同期復調タイミング信号 S X に応じて上記読取信号に対して復調処理を施すことにより同期信号を復調する。同期検出回路 3 6 は、この復調処理によって復調された同期信号の検出タイミングにて論理レベル 0 から論理レベル 1 に推移する同期パルスを含む同期検出信号 S Y C を同期制御回路 4 0、同期異常検出回路 4 4 及びタイミング信号生成回路 5 0 に夫々供給する。

【 0 0 1 9 】

同期異常検出回路 4 4 は、同期検出信号 S Y C による同期パルスの周期が所定周期 T である場合には「同期異常なし」を示す論理レベル 0 の同期異常検出信号 A B を同期制御回路 4 0 に供給する。一方、同期検出信号 S Y C による同期パルスの周期が所定周期 T ではない場合には、同期異常検出回路 4 4 は「同期異常有り」を示す論理レベル 1 の同期異常検出信号 A B を同期制御回路 4 0 に供給する。すなわち、同期異常検出回路 4 4 は、記録ディスク 3 0 から正しく同期信号を読み取ることができた場合には論理レベル 0、正しく同期信号を読み取ることができなかった場合には論理レベル 1 の同期異常検出信号 A B を同期制御回路 4 0 に供給するのである。

【 0 0 2 0 】

タイミング信号生成回路 5 0 は、同期検出信号 S Y C、及び同期制御回路 4 0 から供給された同期指令信号 G 1 に基づき、前述した如きアドレス復調タイミング信号 A X 及び同期復調タイミング信号 S X、並びに仮同期読取タイミング信号 S S X を生成する。そして、タイミング信号生成回路 5 0 は、アドレス復調タイミング信号 A X 及び同期復調タイミング信号 S X を夫々、アドレス復調回路 3 5 及び同期検出回路 3 6 に供給すると共に、同期復調タイミング信号 S X 及び仮同

期読取タイミング信号SSXを同期制御回路40に供給する。更に、タイミング信号生成回路50は、同期検出信号SYC及び同期指令信号G1に基づき、前述した如きデータ確定信号FXを生成し、これをアドレスカウンタ41に供給する。

【0021】

図3は、タイミング信号生成回路50の内部構成の一例を示す図である。

図3において、カウンタ501は、同期検出回路36から論理レベル1の同期検出信号SYCが供給される度に初期値を取り込み、この初期値を所定期間経過毎に1ずつカウントアップして得られたカウント値をデコーダ500及び加算器502に供給する。尚、カウンタ501は、そのカウント値が所定の最大値に達したらカウント値を0にリセットして上記カウントアップ動作を引き続き実行する。デコーダ500は、カウンタ501のカウント値が所定のカウント値と一致した場合に論理レベル0から論理レベル1に推移するパルス信号を生成し、これを仮同期読取タイミング信号SSXとして出力する。加算器502は、カウンタ501のカウント値に「1」を加算した値をカウンタ503のロードデータ端子DTに供給する。アンドゲート504は、同期制御回路40から論理レベル1の同期指令信号G1が供給され、かつ同期検出信号SYCが論理レベル1である場合に限り論理レベル1のデータロード信号をカウンタ503のデータロード制御端子LDに供給する。カウンタ503は、所定期間経過毎に1ずつカウントアップするカウントアップ動作を行い、現時点でのカウント値をデコーダ505に供給する。尚、カウンタ503は、論理レベル1のデータロード信号が供給された場合には、カウンタ501のカウント値に1を加算した値をカウント初期値として取り込み、このカウント初期値から引き続きカウントアップ動作を行う。又、カウンタ503は、そのカウント値が所定の最大値に達したらカウント値を0にリセットして、上記カウントアップ動作を引き続き実行する。デコーダ505は、カウンタ503のカウント値が所定の第1カウント値と一致した場合に論理レベル0から論理レベル1に推移するパルス信号を生成しこれをアドレス復調タイミング信号AXとして出力する。又、デコーダ505は、カウンタ503のカウント値が所定の第2カウント値と一致した場合に論理レベル0から論理レベル1

に推移するパルス信号を生成しこれを同期復調タイミング信号 S X として出力する。又、デコーダ 5 0 5 は、カウンタ 5 0 3 のカウント値が所定の第 3 カウント値と一致した場合に、誤り検出回路 3 7 及び誤り訂正回路 3 8 において 1 符号ブロックに対する処理が終了したことを表す論理レベル 1 のデータ確定信号 F X を生成する。

【 0 0 2 2 】

同期制御回路 4 0 は、図 4 に示す如き同期制御ルーチンに従った手順にて、記録ディスク 3 0 から再生されたディスクアドレス及び同期信号の状態を識別し、その識別結果に応じてアドレスカウンタ 4 1 及びタイミング信号生成回路 5 0 を制御する。

図 4 において、先ず、同期制御回路 4 0 は、論理レベル 1 の同期指令信号 G 1 をタイミング生成回路 5 0 に供給する(ステップ S 4 0)。ステップ S 4 0 の実行により、タイミング生成回路 5 0 のカウンタ 5 0 3 は、論理レベル 1 の同期検出信号 S Y C が供給される度に所定のカウンタ初期値を取り込み、カウントアップ動作を行う。これにより、デコーダ 5 0 5 からは、同期検出信号 S Y C に同期したタイミングにて、前述した如きデータ確定信号 F X、アドレス復調タイミング信号 A X 及び同期復調タイミング信号 S X が出力される。上記ステップ S 0 の実行後、同期制御回路 4 0 は、正常なアドレスが取得されていないことを表す論理レベル 0 のアドレス正常状態信号 G 2 をアドレスカウンタ 4 1 に供給する(ステップ S 4 1)。ステップ S 4 1 の実行により、タイミング生成回路 5 0 のカウンタ 4 1 は自走する。次に、同期制御回路 4 0 は、同期異常検出信号 A B が同期異常を表す論理レベル 1 であるか否かを判定する(ステップ S 4 2)。かかるステップ S 4 2 において同期異常検出信号 A B が論理レベル 1 である、つまり、記録ディスク 3 0 から正しく同期信号を読み取ることが出来なかったと判定されている間は、同期制御回路 4 0 は、上記ステップ S 4 0 に戻って前述した如き動作を繰り返し実行する。

【 0 0 2 3 】

一方、ステップ S 4 2 において上記同期異常検出信号 A B が論理レベル 1 ではない、つまり、記録ディスク 3 0 から正しく同期信号を読み取ることができたと

判定された場合には、同期制御回路 4 0 は、論理レベル 0 の同期指令信号 G 1 を タイミング生成回路 5 0 に供給する(ステップ S 4 3)。ステップ S 4 3 の実行により、タイミング生成回路 5 0 のカウンタ 5 0 3 は自走する。次に、同期制御回路 4 0 は、誤りゼロ信号 E 0 が誤り無し状態を表す論理レベル 1 であるか否かの判定を行う(ステップ S 4 4)。ステップ S 4 4 において、誤りゼロ信号 E 0 が論理レベル 1 ではない、つまり、アドレスデータ A D 中に誤りが存在すると判定された場合、同期制御回路 4 0 は、正常なアドレスが取得されていないことを表す論理レベル 0 のアドレス正常状態信号 G 2 をアドレスカウンタ 4 1 に供給する(ステップ S 4 5)。ステップ S 4 5 の実行により、タイミング生成回路 5 0 のカウンタ 4 1 は自走する。次に、同期制御回路 4 0 は、アドレス連続変化数信号 A N が所定数 P よりも大なるアドレスの連続変化数を示しているか否かの判定を行う(ステップ S 4 6)。ステップ S 4 6 においてアドレス連続変化数信号 A N が所定数 P よりも大ではないと判定されると、同期制御回路 4 0 は、上記ステップ S 4 2 に戻って前述した如き動作を繰り返し実行する。

【 0 0 2 4 】

一方、上記ステップ S 4 4 において誤りゼロ信号 E 0 が論理レベル 1 であると判定されると、同期制御回路 4 0 は、正常なアドレスが取得されたことを表す論理レベル 1 のアドレス正常状態信号 G 2 をアドレスカウンタ 4 1 に供給する(ステップ S 4 7)。ステップ S 4 7 の実行により、アドレスカウンタ 4 1 は、タイミング生成回路 5 0 から論理レベル 1 のデータ確定信号 F X が供給される度に、訂正アドレスデータ A D R に 1 を加算した値をカウンタ初期値として取り込み、その値から引き続きカウントアップ動作を行う。つまり、アドレスカウンタ 4 1 は、記録ディスク 3 0 から再生された正常な訂正アドレスデータ A D R に基づいて、生成アドレスデータ A D C を生成する。一方、上記ステップ S 4 6 にてアドレス連続変化数信号 A N が所定数 P よりも大であると判定されると、誤りゼロ信号 E 0 が論理レベル 0 であり且つアドレス連続変化数信号 A N が所定数 P よりも大であるので、アドレスカウンタ 4 1 はカウントアップ動作を行う。次に、同期制御回路 4 0 は、訂正不可連続回数信号 F N が所定回数 Q よりも大なる回数を示しているか否かを判定する(ステップ S 4 8)。かかるステップ S 4 8 において、

訂正不可連続回数信号 F N が所定回数 Q よりも大ではないと判定されると、同期制御回路 4 0 は、上記ステップ S 4 4 の実行に戻って正常なアドレスが取得されたか否かの判定を行う。この間、ステップ S 4 8 において訂正不可連続回数信号 F N が所定回数 Q よりも大であると判定されると、同期制御回路 4 0 は、上記ステップ S 4 2 の実行に戻って前述した如き動作を繰り返し実行する。

【 0 0 2 5 】

図 5 は、図 4 に示す同期制御ルーチンに従って同期制御回路 4 0 が同期制御処理を実行した際におけるアドレスカウンタ 4 1 及びタイミング信号生成回路 5 0 各々の設定状態の推移を示す図である。

先ず、記録ディスク 3 0 から正しく同期信号を読み取ることができないと判定(ステップ S 4 2)されている間は、論理レベル 1 の同期指令信号 G 1 及び論理レベル 0 のアドレス正常状態信号 G 2 が供給されるので、図 5 に示す如き非同期状態 S T 0 を維持する。非同期状態 S T 0 では、タイミング信号生成回路 5 0 内のカウンタ 5 0 3 は再同期処理を行う。すなわち、再生状態が不安定であっても、その時の同期検出信号に応じてデータ確定信号 F X、アドレス復調タイミング信号 A X 及び同期復調タイミング信号 S X の如き各種信号を生成する。また、アドレスカウンタは自走する。

【 0 0 2 6 】

一方、同期信号を正しく読み取ることが出来たと判定(ステップ S 4 2)されると、図 5 に示す如き同期状態 S T 1 に推移する。同期状態 S T 1 では、論理レベル 0 の同期指令信号 G 1 がタイミング信号生成回路 5 0 に供給される(ステップ S 4 3)。これにより、カウンタが自走すると共にタイミング信号生成回路 5 0 は、同期検出信号 S Y C に位相同期したデータ確定信号 F X、アドレス復調タイミング信号 A X 及び同期復調タイミング信号 S X の生成を開始する。この間、記録ディスク 3 0 から再生された訂正アドレスデータ A D R が所定数 P よりも多く連続して変化していないと判定(ステップ S 4 6)され、かつ同期信号を正しく読み取ることが出来なかったと判定(ステップ S 4 2)されると、非同期状態 S T 0 に推移する。これにより、論理レベル 1 の同期指令信号 G 1 が送出されて再同期処理が実行される。一方、訂正アドレスデータ A D R に誤りが存在しないと判定

(ステップ S 4 4)された場合、つまり、訂正アドレスデータ A D R が正しいアドレスであると判定された場合にはアドレス正常状態 S T 2 に推移する。

【 0 0 2 7 】

アドレス正常状態 S T 2 では、論理レベル 1 のアドレス正常状態信号 G 2 がアドレスカウンタ 4 1 に供給される(ステップ S 4 7)。これにより、アドレスカウンタ 4 1 は、訂正アドレスデータ A D R を取り込み、そのアドレスデータ値を 1 ずつ増加(又は減少)して行くことにより、生成アドレスデータ A D C を生成して記録再生制御回路 4 2 に供給する。訂正アドレスデータ A D R に誤りがある(E 0 = 「1」)と判定され、且つ訂正アドレスデータ A D R が所定数 P よりも多く連続変化していると判定された場合、論理レベル 0 のアドレス正常状態信号 G 2 が供給され、以前に取得したアドレスデータ値を 1 ずつ増加(又は減少)させて行く。この間、記録ディスク 3 0 から読み取られて復調されたアドレスデータ A D が所定回数 Q よりも多く連続して訂正不能になったと判定(ステップ S 4 8)されない限り、アドレス正常状態 S T 2 を維持する。一方、アドレスデータ A D が所定回数 Q よりも多く連続して訂正不能になったと判定された場合、つまり訂正アドレスデータ A D R が不正なアドレスであると判定された場合には、同期状態 S T 1 に推移する。すなわち、訂正アドレスデータ A D R が正しいアドレスではないと判定された場合には、何等かの外乱の影響により同期がはずれた可能性有りとは判断して同期状態 S T 1 に戻って同期状態を判定する。その結果、同期がはずれたと判断した場合には論理レベル 1 の同期指令信号を送出することで再同期処理(同期検出信号 S Y C に同期したタイミングでカウンタ 5 0 3 に対する初期値のロードを行う)を実行するのである。

【 0 0 2 8 】

換言すると、一旦、訂正アドレスデータ A D R が正しいアドレスであると判定されると、例え記録ディスク 3 0 から読み取られた同期信号が一時的に乱れても、訂正アドレスデータ A D R が不正なアドレスであると判定されるまで再同期処理の実行が待機されるのである。

従って、同期制御回路 4 0 による同期制御処理によれば、隣接トラックからのクロストーク又は記録ディスクの表面の傷等の外乱によって同期信号が一時的に

乱れた程度では再同期処理は実施されないので、記録動作を中断させることなく迅速に情報データの記録を完了させることが可能になる。

【 0 0 2 9 】

又、上記実施例においては、アドレスデータ A D の誤り状態に応じて、同期状態 S T 1 から S T 2 (又は S T 1 から S T 2) への推移が為されるが、記録ディスク 3 0 への記録開始及び記録終了をもって同期状態 S T 1 から S T 2 (又は S T 1 から S T 2) への推移を実施するようにしても良い。

図 6 は、かかる点に鑑みて為された同期制御ルーチンの他の一例を示す図である。

【 0 0 3 0 】

図 6 において、同期制御回路 4 0 は、先ず、同期制御回路 4 0 は、論理レベル 1 の同期指令信号 G 1 をタイミング生成回路 5 0 に供給する(ステップ S 6 0)。ステップ S 6 0 の実行により、タイミング生成回路 5 0 のカウンタ 5 0 3 は、論理レベル 1 の同期検出信号 S Y C が供給される度に所定のカウンタ初期値を取り込み、カウントアップ動作を行う。これにより、デコーダ 5 0 5 からは、同期検出信号 S Y C に同期したタイミングにて、前述した如きデータ確定信号 F X、アドレス復調タイミング信号 A X 及び同期復調タイミング信号 S X が出力される。上記ステップ S 6 0 の実行後、同期制御回路 4 0 は、同期異常検出信号 A B が同期異常を表す論理レベル 1 であるか否かを判定する(ステップ S 6 1)。かかるステップ S 6 1 において同期異常検出信号 A B が論理レベル 1 である、つまり、記録ディスク 3 0 から正しく同期信号を読み取ることが出来なかったと判定されている間は、同期制御回路 4 0 は、ステップ S 6 0 に戻って前述した如き動作を繰り返し実行する。

【 0 0 3 1 】

一方、ステップ S 6 1 において上記同期異常検出信号 A B が論理レベル 1 ではない、つまり、記録ディスク 3 0 から正しく同期信号を読み取ることができた判定された場合には、同期制御回路 4 0 は、論理レベル 0 の同期指令信号 G 1 をタイミング生成回路 5 0 に供給する(ステップ S 6 2)。ステップ S 6 2 の実行により、タイミング生成回路 5 0 のカウンタ 5 0 3 は自走する。ステップ S 2 の実

行後、次に、同期制御回路 4 0 は、記録ディスク 3 0 に対して情報データの記録を開始する旨を知らせる記録開始信号が記録再生制御回路 4 2 から供給されたか否かの判定を行う(ステップ S 6 3)。かかるステップ S 6 3 において記録開始信号が供給されていないと判定された場合、同期制御回路 4 0 は、上記ステップ S 6 1 の実行に戻って前述した如き動作を繰り返し実行する。一方、ステップ S 6 3 において記録開始信号が供給されたと判定された場合には、同期制御回路 4 0 は、次に、記録ディスク 3 0 に対する情報データの記録動作を終了する旨を知らせる記録終了信号が記録再生制御回路 4 2 から供給されたか否かの判定を、記録終了信号が供給されるまで繰り返し行う(ステップ S 6 4)。ステップ S 6 4 において、記録終了信号が供給されたと判定された場合には、同期制御回路 4 0 は、ステップ S 6 1 の実行に戻って前述した如き動作を繰り返し実行する。

【 0 0 3 2 】

図 7 は、図 6 に示す手順に従って同期制御回路 4 0 が同期制御処理を実行した際におけるタイミング信号生成回路 5 0 に対する設定状態の推移を示す図である。

先ず、同期異常検出信号 A B が論理レベル 1 である、つまり、記録ディスク 3 0 から正しく同期信号を読み取ることができないと判定(ステップ S 6 1)されている間は、図 7 に示す如き非同期状態 S T 0 を維持する。非同期状態 S T 0 では、タイミング信号生成回路 5 0 内のカウンタ 5 0 3 は、論理レベル 1 の同期指令信号 G 1 に応じて再同期処理を実行し、データ確定信号 F X、アドレス復調タイミング信号 A X 及び同期復調タイミング信号 S X を生成する。

【 0 0 3 3 】

一方、記録ディスク 3 0 から正しく同期信号を読み取ることができたと判定されると、図 7 に示す如き同期状態 S T 1 に推移する。同期状態 S T 1 では、論理レベル 0 の同期指令信号 G 1 がタイミング信号生成回路 5 0 に供給される(ステップ S 6 2)。これにより、タイミング信号生成回路 5 0 は、同期検出信号 S Y C に位相同期したデータ確定信号 F X、アドレス復調タイミング信号 A X 及び同期復調タイミング信号 S X の生成を開始する。この間、記録開始信号が供給されたと判定(ステップ S 6 3)された場合、図 7 に示す記録状態 S T 2 に推移する。

一方、記録開始信号が供給されていないと判定され、かつ同期信号を正しく読み取ることが出来ないと判定(ステップ S 6 1)された場合には非同期状態 S T 0 に推移する。

【 0 0 3 4 】

記録状態 S T 2 では、記録終了信号が供給されたと判定(ステップ S 6 4)されるまで、この記録状態 S T 2 を維持する。この際、記録終了信号が供給されたと判定されたら同期状態 S T 1 に推移する。すなわち、記録ディスク 3 0 に対する記録動作中は記録状態 S T 2 を維持し、この間、記録動作が終了したら、同期状態 S T 1 に戻って同期処理を行い、同期状態を監視する。ここで、同期異常信号を検出したら再同期処理(同期検出信号 S Y C に同期したタイミングでカウンタ 5 0 3 に対する初期値のロード)を実施する。換言すると、記録動作中は、例えば記録ディスク 3 0 から読み取られた同期信号に一時的な乱れが生じてても、再同期処理を実行せずにその記録動作を継続させるのである。

【 0 0 3 5 】

従って、図 6 及び図 7 に示す如き同期制御処理によれば、記録動作中には、例えば隣接トラックからのクロストーク又は記録ディスクの表面の傷等の外乱によって同期信号が乱れてしまっても再同期処理は為されないので、記録動作を中断させることなく迅速に情報データの記録を完了させることが可能になる。

尚、同期制御回路 4 0 では、図 4 及び図 5 に示す同期制御処理と、図 6 及び図 7 に示す同期制御処理とを組み合わせた同期制御処理を行うようにしても良い。

【 0 0 3 6 】

図 8 は、かかる点に鑑みて為された同期制御ルーチンを示す図である。

尚、図 8 に示される同期制御ルーチンにおけるステップ S 8 0 ～ S 8 8 までの処理は図 4 に示されるステップ S 4 0 ～ S 4 8 なる処理と同一である。ただし、図 8 に示される同期制御ルーチンでは、ステップ S 8 8 においてアドレスデータ A D における連続訂正不能回数が所定回数よりも少ない又は訂正可能であると判定された場合には、次に、同期制御回路 4 0 は、記録開始信号が供給されたか否かの判定を行う(ステップ S 8 9)。かかるステップ S 8 9 において記録開始信号が供給されていないと判定された場合、同期制御回路 4 0 は、ステップ S 8 4 に

戻って正常なアドレスが取得されたか否かの判定を行う。一方、ステップ S 8 9 において記録開始信号が供給されたと判定された場合には、次に、同期制御回路 4 0 は、記録終了信号が供給されたか否かの判定を、この記録終了信号が供給されるまで繰り返し行う(ステップ S 9 0)。ステップ S 9 0 において、記録終了信号が供給されたと判定された場合には、同期制御回路 4 0 は、ステップ S 8 4 の実行に戻る。

【 0 0 3 7 】

図 9 は、図 8 に示す手順に従って同期制御回路 4 0 が同期制御処理を実行した際におけるアドレスカウンタ 4 1 及びタイミング信号生成回路 5 0 に対する設定状態の推移を示す図である。

尚、図 9 において、非同期状態 S T 0、同期状態 S T 1、及びアドレス正常状態 S T 2 各々での推移は、図 5 に示すものと同一である。図 9 では、アドレス正常状態 S T 2 において記録開始信号が供給されたと判定(ステップ S 8 9)された場合に記録状態 S T 3 に推移する。記録状態 S T 3 では、記録終了信号が供給されたと判定(ステップ S 9 0)されるまで、この記録状態 S T 3 を維持する。ここで、記録終了信号が供給されたと判定されたら、アドレス正常状態 S T 2 に推移する。すなわち、記録ディスク 3 0 に対する記録動作中は例え記録ディスク 3 0 から読み取られた訂正アドレスデータが正しくなくとも記録状態 S T 3 を維持し、記録動作が終了してからアドレス正常状態 S T 2 に推移するのである。

【 0 0 3 8 】

従って、訂正アドレスデータ A D R が正しいアドレスであると判定されている期間中、または記録動作中は再同期処理が待機されるので、記録動作を中断させることなく迅速に情報データの記録を完了させることが可能になる。

図 1 0 は、同期制御回路 4 0 が実行する同期制御ルーチンの他の一例を示す図である。

【 0 0 3 9 】

図 1 0 において、先ず、同期制御回路 4 0 は、論理レベル 0 の同期指令信号 G 1 をタイミング生成回路 5 0 に供給する(ステップ S 1 0 0)。ステップ S 1 0 0 の実行により、タイミング生成回路 5 0 のカウンタ 5 0 3 は自走する。上記ステ

ップ S 1 0 0 の実行後、同期制御回路 4 0 は、正常なアドレスが取得されていないことを表す論理レベル 0 のアドレス正常状態信号 G 2 をアドレスカウンタ 4 1 に供給する(ステップ S 1 0 1)。ステップ S 1 0 1 の実行により、タイミング生成回路 5 0 のカウンタ 4 1 は自走する。次に、同期制御回路 4 0 は、タイミング信号生成回路 5 0 のカウンタ 5 0 1 のカウント値に基づいて生成された仮同期読取タイミング信号 S S X と、同期検出信号 S Y C とが同一タイミングであるか否かの判定を行う(ステップ S 1 0 2)。かかるステップ S 1 0 2 において両者が同一タイミングではないと判定された場合には、同期制御回路 4 0 は、上記ステップ S 1 0 0 に戻って前述した如き動作を繰り返し実行する。一方、ステップ S 1 0 2 において、両者が同一タイミングであると判定されると、同期制御回路 4 0 は、論理レベル 1 の同期指令信号 G 1 をタイミング生成回路 5 0 に供給する(ステップ S 1 0 3)。ステップ S 1 0 3 の実行により、タイミング生成回路 5 0 のカウンタ 5 0 3 は、論理レベル 1 の同期検出信号 S Y C が供給される度に所定のカウンタ初期値を取り込み、カウントアップ動作を行う。これにより、デコーダ 5 0 5 からは、同期検出信号 S Y C に同期したタイミングにて、前述した如きデータ確定信号 F X、アドレス復調タイミング信号 A X 及び同期復調タイミング信号 S X が出力される。次に、同期制御回路 4 0 は、タイミング信号生成回路 5 0 のカウンタ 5 0 3 のカウント値に基づいて生成された同期復調タイミング信号 S X と、同期検出信号 S Y C とが同一タイミングであるか否かの判定を行う(ステップ S 1 0 4)。ステップ S 1 0 4 において両者が同一タイミングではないと判定されると、同期制御回路 4 0 は、上記ステップ S 1 0 2 に戻って前述した如き動作を繰り返し実行する。一方、かかるステップ S 1 0 4 において、同期復調タイミング信号 S X と同期検出信号 S Y C とが同一タイミングであると判定されると、同期制御回路 4 0 は、論理レベル 0 の同期指令信号 G 1 をタイミング生成回路 5 0 に供給する(ステップ S 1 0 5)。ステップ S 1 0 5 の実行により、タイミング生成回路 5 0 のカウンタ 5 0 3 は自走する。次に、同期制御回路 4 0 は、誤りゼロ信号 E 0 が誤り無し状態を表す論理レベル 1 であるか否かの判定を行う(ステップ S 1 0 6)。ステップ S 1 0 6 において、誤りゼロ信号 E 0 が論理レベル 1 ではない、つまり、アドレスデータ A D 中に誤りが存在すると判定された場

合、同期制御回路 4 0 は、正常なアドレスが取得されていないことを表す論理レベル 0 のアドレス正常状態信号 G 2 をアドレスカウンタ 4 1 に供給する(ステップ S 1 0 7)。ステップ S 1 0 7 の実行により、タイミング生成回路 5 0 のカウンタ 4 1 は自走する。次に、同期制御回路 4 0 は、アドレス連続変化数信号 A N が所定数 P よりも大なるアドレスの連続変化数を示しているか否かの判定を行う(ステップ S 1 0 8)。ステップ S 1 0 8 においてアドレス連続変化数信号 A N が所定数 P よりも大ではないと判定されると、同期制御回路 4 0 は、上記ステップ S 1 0 4 に戻って前述した如き動作を繰り返し実行する。

【 0 0 4 0 】

一方、上記ステップ S 1 0 6 において誤りゼロ信号 E 0 が論理レベル 1 であると判定されると、同期制御回路 4 0 は、正常なアドレスが取得されたことを表す論理レベル 1 のアドレス正常状態信号 G 2 をアドレスカウンタ 4 1 に供給する(ステップ S 1 0 9)。ステップ S 1 0 9 の実行により、アドレスカウンタ 4 1 は、タイミング生成回路 5 0 から論理レベル 1 のデータ確定信号 F X が供給される度に、訂正アドレスデータ A D R に 1 を加算した値をカウンタ初期値として取り込み、その値から引き続きカウントアップ動作を行う。つまり、アドレスカウンタ 4 1 は、記録ディスク 3 0 から再生された正常な訂正アドレスデータ A D R に基づいて、生成アドレスデータ A D C を生成する。一方、上記ステップ S 1 0 8 にてアドレス連続変化数信号 A N が所定数 P よりも大であると判定されると、誤りゼロ信号 E 0 が論理レベル 0 であり且つアドレス連続変化数信号 A N が所定数 P よりも大であるので、アドレスカウンタ 4 1 はカウントアップ動作を行う。次に、同期制御回路 4 0 は、訂正不可連続回数信号 F N が所定回数 Q よりも大なる回数を示しているか否かを判定する(ステップ S 1 1 0)。かかるステップ S 1 1 0 において、訂正不可連続回数信号 F N が所定回数 Q よりも大ではないと判定されると、同期制御回路 4 0 は、上記ステップ S 1 0 6 の実行に戻って正常なアドレスが取得されたか否かの判定を行う。この間、ステップ S 1 1 0 において訂正不可連続回数信号 F N が所定回数 Q よりも大であると判定されると、同期制御回路 4 0 は、上記ステップ S 1 0 4 の実行に戻って前述した如き動作を繰り返し実行する。

【 0 0 4 1 】

図 1 1 は、図 1 0 に示す手順に従って同期制御回路 4 0 が同期制御処理を実行した際におけるアドレスカウンタ 4 1 及びタイミング信号生成回路 5 0 各々に対する設定状態の推移を示す図である。

先ず、記録ディスク 3 0 から検出された同期検出信号 S Y C と、タイミング信号生成回路 5 0 のカウンタ 5 0 1 のカウント値に基づいて生成された仮同期読取タイミング信号 S S X とが同一タイミングではないと判定(ステップ S 1 0 2)されている間は非同期状態 S T 0 を維持し、論理レベル 0 の同期指令信号 G 1 及び論理レベル 0 のアドレス正常状態信号 G 2 が送出される。非同期状態 S T 0 では、タイミング信号生成回路 5 0 内のカウンタ 5 0 3 は自走し、同期信号とは非同期なタイミングにてデータ確定信号 F X、アドレス復調タイミング信号 A X 及び同期復調タイミング信号 S X を生成する。

【 0 0 4 2 】

一方、同期検出信号 S Y C と、仮同期読取タイミング信号 S S X とが同一タイミングであると判定されると仮同期状態 S T 1 に推移する。仮同期状態 S T 1 では、論理レベル 1 の同期指令信号 G 1 が送出され、仮同期用のカウンタ 5 0 1 の現カウント値をカウンタ 5 0 3 にロードする。そして、記録ディスク 3 0 から検出された同期検出信号 S Y C と、タイミング信号生成回路 5 0 のカウンタ 5 0 3 のカウント値に基づいて生成された同期復調タイミング信号 S X とが同一タイミングであるか否かの判定(ステップ S 1 0 4)を行う。この際、両者が同一タイミングであると判定されると、同期状態 S T 2 に推移する。

【 0 0 4 3 】

同期状態 S T 2 では、論理レベル 0 の同期指令信号 G 1 が送出され、カウンタ 5 0 3 は自走する。これにより、タイミング信号生成回路 5 0 は、同期検出信号 S Y C に位相同期したデータ確定信号 F X、アドレス復調タイミング信号 A X 及び同期復調タイミング信号 S X の生成を開始する。この間、記録ディスク 3 0 から再生された訂正アドレスデータ A D R が所定数 P よりも多く連続して変化していないと判定(ステップ S 1 0 8)された場合には、同期状態 S T 2 に維持される。尚、この間、同期検出信号 S Y C と、同期復調タイミング信号 S X とが同一タ

イミングでないと判定された場合には仮同期状態 S T 1 まで推移する。又、仮同期もしていない時には非同期状態 S T 0 に遷移する。一方、訂正アドレスデータ A D R に誤りが存在しないと判定された場合、つまり訂正アドレスデータ A D R が正しいアドレスであると判定された場合にはアドレス正常状態 S T 3 に推移する。アドレス正常状態 S T 3 では、論理レベル 1 のアドレス正常状態信号 G 2 がアドレスカウンタ 4 1 に供給される(ステップ S 1 0 9)。これにより、アドレスカウンタ 4 1 は、訂正アドレスデータ A D R を取り込み、そのアドレスデータ値を 1 ずつ増加(又は減少)して行くことにより、生成アドレスデータ A D C を生成して記録再生制御回路 4 2 に供給する。訂正アドレスデータ A D R に誤りがある (E 0 = 「1」) と判定され、且つ訂正アドレスデータ A D R が所定数 P よりも多く連続変化していると判定された場合、論理レベル 0 のアドレス正常状態信号 G 2 が供給され、以前に取得したアドレスデータ値を 1 ずつ増加(又は減少)させて行く。この間、記録ディスク 3 0 から読み取られたアドレスデータ A D が所定回数 Q よりも多く連続して訂正不能になったと判定(ステップ S 1 1 0)されるまで、つまり訂正アドレスデータ A D R が不正なアドレスであると判定されるまでアドレス正常状態 S T 3 を維持する。一方、記録ディスク 3 0 から読み取られたアドレスデータ A D が所定回数 Q よりも多く連続して訂正不能になったと判定された場合には、同期状態 S T 2 に推移する。すなわち、記録ディスク 3 0 から読み取られて訂正処理の施されたアドレスデータが不正なアドレスであると判定された場合には、アドレス正常状態 S T 3、同期状態 S T 2、仮同期状態 S T 1、非同期状態 S T 0 へと遷移して再同期処理(同期検出信号 S Y C に同期したタイミングでカウンタ 5 0 3 に対する初期値ロードを行う)のルーチンに入り、何等かの外乱の影響により同期がはずれたと判断する。換言すると、一旦、アドレス正常状態 S T 3 に推移すると、訂正アドレスデータ A D R が不正なアドレスであり、かつ同期がはずれていると判定されるまで再同期処理が待機されるのである。

【 0 0 4 4 】

従って、図 1 0 及び図 1 1 に示す如き同期制御処理においても、一時的な外乱が生じて、記録動作を中断させることなく迅速に情報データの記録を完了させ

ることが可能になる。

又、図12は、同期制御回路40が実行する同期制御ルーチンの他の一例を示す図である。

【0045】

図12において、先ず、同期制御回路40は、先ず、同期制御回路40は、論理レベル0の同期指令信号G1をタイミング生成回路50に供給する(ステップS120)。ステップS120の実行により、タイミング生成回路50のカウンタ503は自走する。上記ステップS120の実行後、同期制御回路40は、タイミング信号生成回路50のカウンタ501のカウント値に基づいて生成された仮同期読取タイミング信号SSXと、同期検出信号SYCとが同一タイミングであるか否かの判定を行う(ステップS121)。かかるステップS121において両者が同一タイミングではないと判定された場合には、同期制御回路40は、上記ステップS120に戻って前述した如き動作を繰り返し実行する。一方、ステップS121において、両者が同一タイミングであると判定されると、同期制御回路40は、論理レベル1の同期指令信号G1をタイミング生成回路50に供給する(ステップS122)。ステップS122の実行により、タイミング生成回路50のカウンタ503は、論理レベル1の同期検出信号SYCが供給される度に所定のカウンタ初期値を取り込み、カウンタアップ動作を行う。これにより、デコーダ505からは、同期検出信号SYCに同期したタイミングにて、前述した如きデータ確定信号FX、アドレス復調タイミング信号AX及び同期復調タイミング信号SXが出力される。ステップS122の実行後、同期制御回路40は、タイミング信号生成回路50のカウンタ503のカウント値に基づいて生成された同期復調タイミング信号SXと、同期検出信号SYCとが同一タイミングであるか否かの判定を行う(ステップS123)。ステップS123において両者が同一タイミングではないと判定されると、同期制御回路40は、上記ステップS121に戻って前述した如き動作を繰り返し実行する。一方、かかるステップS123において、同期復調タイミング信号SXと同期検出信号SYCとが同一タイミングであると判定されると、同期制御回路40は、論理レベル0の同期指令信号G1をタイミング生成回路50に供給する(ステップS124)。ステップS1

24の実行により、タイミング生成回路50のカウンタ503は自走する。ステップS124の実行後、同期制御回路40は、記録ディスク30に対して情報データの記録を開始する旨を知らせる記録開始信号が記録再生制御回路42から供給されたか否かの判定を行う(ステップS125)。かかるステップS125において記録開始信号が供給されていないと判定された場合、同期制御回路40は、上記ステップS123の実行に戻って前述した如き動作を繰り返し実行する。一方、ステップS125において記録開始信号が供給されたと判定された場合には、同期制御回路40は、次に、記録ディスク30に対する情報データの記録動作を終了する旨を知らせる記録終了信号が記録再生制御回路42から供給されたか否かの判定を、記録終了信号が供給されるまで繰り返し行う(ステップS126)。ステップS126において記録終了信号が供給されたと判定された場合には、同期制御回路40は、ステップS123の実行に戻って前述した如き動作を繰り返し実行する。

【0046】

図13は、図12に示す手順に従って同期制御回路40が同期制御処理を実行した際におけるタイミング信号生成回路50に対する設定状態の推移を示す図である。

先ず、記録ディスク30から検出された同期検出信号SYCと、タイミング信号生成回路50のカウンタ501のカウント値に基づいて生成された仮同期読取タイミング信号SSXとが同一タイミングではないと判定(ステップS121)されている間は非同期状態ST0を維持し、論理レベル0の同期指令信号G1を送出する。非同期状態ST0では、タイミング信号生成回路50内のカウンタ503は自走し、同期信号とは非同期なタイミングにてデータ確定信号FX、アドレス復調タイミング信号AX及び同期復調タイミング信号SXを生成する。

【0047】

一方、同期検出信号SYCと、仮同期読取タイミング信号SSXとが同一タイミングであると判定されると仮同期状態ST1に推移する。仮同期状態ST1では、論理レベル1の同期指令信号G1が送出され、仮同期用のカウンタ501の現カウント値をカウンタ503にロードする。そして、記録ディスク30から検

出された同期検出信号 S Y C と、タイミング信号生成回路 5 0 のカウンタ 5 0 3 のカウント値に基づいて生成された同期復調タイミング信号 S X とが同一タイミングであるか否かの判定(ステップ S 1 2 3)を行う。この際、両者が同一タイミングであると判定されると、同期状態 S T 2 に推移する。

【 0 0 4 8 】

同期状態 S T 2 では、論理レベル 0 の同期指令信号 G 1 が送出され、カウンタ 5 0 3 は自走する。これにより、タイミング信号生成回路 5 0 は、同期検出信号 S Y C に位相同期したデータ確定信号 F X、アドレス復調タイミング信号 A X 及び同期復調タイミング信号 S X の生成を開始する。この間、記録開始信号が供給されたと判定(ステップ S 1 2 5)された場合には記録状態 S T 3 に推移する。記録状態 S T 3 では、記録終了信号が供給されたと判定(ステップ S 1 2 6)されるまで、この記録状態 S T 3 を維持する。この際、記録終了信号が供給されたと判定されたら、同期状態 S T 2 に推移して同期処理を実行し、同期がはずれたと判定された場合には仮同期状態 S T 1 に推移する。更に、仮同期もはずれたと判定された場合には非同期状態 S T 0 に推移して再同期処理を実行するのである。従って、記録ディスク 3 0 に対する記録動作中は、例え隣接トラックからのクロストーク又は記録ディスク表面の傷等の外乱によって一時的に同期信号に乱れが生じても再同期処理の待機状態となる。

【 0 0 4 9 】

尚、同期制御回路 4 0 では、図 1 0 及び図 1 1 に示す同期制御処理と、図 1 2 及び図 1 3 に示す同期制御処理とを組み合わせた同期制御処理を行うようにしても良い。

図 1 4 は、かかる点に鑑みて為された同期制御ルーチンを示す図である。

尚、図 1 4 に示される同期制御ルーチンにおけるステップ S 1 4 0 ～ S 1 5 0 までの処理は図 1 0 に示されるステップ S 1 0 0 ～ S 1 1 0 までの処理と同一である。ただし、図 1 4 に示される同期制御ルーチンでは、ステップ S 1 5 0 においてアドレスデータ A D における連続訂正不能回数が所定回数よりも少ない又は訂正可能であると判定された場合には、次に、同期制御回路 4 0 は、記録開始信号が供給されたか否かの判定を行う(ステップ S 1 5 1)。かかるステップ S 1 5

1において記録開始信号が供給されていないと判定された場合、同期制御回路40は、ステップS146に戻って正常なアドレスが取得されたか否かの判定を再び実行する。一方、ステップS151において記録開始信号が供給されたと判定された場合には、次に、同期制御回路40は、記録終了信号が供給されたか否かの判定を、この記録終了信号が供給されるまで繰り返し行う(ステップS152)。ステップS152において、記録終了信号が供給されたと判定された場合には、同期制御回路40は、ステップS146に戻って正常なアドレスが取得されたか否かの判定を再び実行する。

【0050】

図15は、図14に示す手順に従って同期制御回路40が同期制御処理を実行した際におけるアドレスカウンタ41及びタイミング信号生成回路50に対する設定状態の推移を示す図である。

まず、記録ディスク30から検出された同期検出信号SYCと、タイミング信号生成回路50のカウンタ501のカウント値に基づいて生成された仮同期読取タイミング信号SSXとが同一タイミングではないと判定(ステップS142)されている間は非同期状態ST0を維持し、論理レベル0の同期指令信号G1が供給される。非同期状態ST0では、タイミング信号生成回路50内のカウンタ503は自走し、同期信号とは非同期なタイミングにてデータ確定信号FX、アドレス復調タイミング信号AX及び同期復調タイミング信号SXを生成する。

【0051】

一方、同期検出信号SYCと、仮同期読取タイミング信号SSXとが同一タイミングであると判定されると仮同期状態ST1に推移する。仮同期状態ST1では、論理レベル1の同期指令信号G1が送出され、仮同期用のカウンタ501の現カウント値をカウンタ503にロードする。そして、記録ディスク30から検出された同期検出信号SYCと、タイミング信号生成回路50のカウンタ503のカウント値に基づいて生成された同期復調タイミング信号SXとが同一タイミングであるか否かの判定(ステップS144)を行う。この際、両者が同一タイミングであると判定されると、同期状態ST2に推移する。

【0052】

同期状態 S T 2 では、論理レベル 0 の同期指令信号 G 1 が送出され、カウンタ 5 0 3 は自走する。これにより、タイミング信号生成回路 5 0 は、同期検出信号 S Y C に位相同期したデータ確定信号 F X、アドレス復調タイミング信号 A X 及び同期復調タイミング信号 S X の生成を開始する。この間、記録ディスク 3 0 から再生された訂正アドレスデータ A D R が所定数 P よりも多く連続して変化していないと判定 (ステップ S 1 4 8) され、かつ同期検出信号 S Y C と同期復調タイミング信号 S X とが同一タイミングであると判定 (ステップ S 1 4 4) された場合には、同期状態 S T 2 に維持される。尚、同期検出信号 S Y C と、同期復調タイミング信号 S X とが同一タイミングでないと判定された場合には仮同期状態 S T 1 まで推移する。又、仮同期もしていない時には非同期状態 S T 0 に遷移する。一方、訂正アドレスデータ A D R に誤りが存在しないと判定 (ステップ S 1 4 6) された場合にはアドレス正常状態 S T 3 に推移する。アドレス正常状態 S T 3 では、論理レベル 1 のアドレス正常状態信号 G 2 がアドレスカウンタ 4 1 に供給される (ステップ S 1 4 9)。これにより、アドレスカウンタ 4 1 は、訂正アドレスデータ A D R を取り込み、そのアドレスデータ値を 1 ずつ増加 (又は減少) して行くことにより、生成アドレスデータ A D C を生成して記録再生制御回路 4 2 に供給する。訂正アドレスデータ A D R に誤りがある (E 0 = 「1」) と判定され、且つ訂正アドレスデータ A D R が所定数 P よりも多く連続変化していると判定された場合、論理レベル 0 のアドレス正常状態信号 G 2 が供給され、以前に取得したアドレスデータ値を 1 ずつ増加 (又は減少) させて行く。尚、アドレスデータ A D が所定回数 Q よりも多く連続して訂正不能になったと判定 (ステップ S 1 5 0) されるまで、つまり、記録ディスク 3 0 から読み取られて誤り訂正処理の施された訂正アドレスデータ A D R が不正なアドレスであると判定されるまでアドレス正常状態 S T 3 を維持する。ここで、記録ディスク 3 0 から読み取られたアドレスデータ A D が所定回数 Q よりも多く連続して訂正不能になったと判定された場合には、同期状態 S T 2 に推移する。すなわち、訂正アドレスデータが不正なアドレスであると判定された場合には、何等かの外乱の影響により同期がはずれたと判断し、同期状態 S T 2 に戻って再同期処理を実施するのである。換言すると、一旦、アドレス正常状態 S T 3 に推移すると、例え記録ディスク 3 0

から読み取られた同期信号が一時的に乱れても、訂正アドレスデータ A D R が不正なアドレスであると判定されるまで再同期処理が実施されないのである。

【 0 0 5 3 】

一方、アドレスデータ A D が所定回数 Q よりも多く連続して訂正不能になっていないと判定され、かつ記録ディスク 3 0 に対する記録動作を開始する旨を知らせる記録開始信号が供給されたと判定(ステップ S 1 5 1)された場合には記録状態 S T 4 に推移する。記録状態 S T 4 では、記録終了信号が供給されたと判定(ステップ S 1 5 2)されるまで、この判定動作を繰り返し実行する。この際、記録終了信号が供給されたと判定されたら、アドレス正常状態 S T 3 に推移する。すなわち、記録ディスク 3 0 に対する記録動作中は記録状態 S T 4 を維持し、この間、記録動作が終了したらアドレス正常状態 S T 3 に推移するのである。

【 0 0 5 4 】

従って、図 1 3 及び図 1 4 に示す同期制御処理によれば、例え記録ディスク 3 0 から読み取られた同期信号が一時的に乱れても、誤り訂正後の訂正アドレスデータが適切なアドレスである場合、又は記録動作中には再同期処理が実施されないのである。

以上の如く、同期制御回路 4 0 では、記録ディスク 3 0 から読み取られて誤り訂正された訂正アドレスデータが適切なアドレスであると判定された場合にはその後、訂正アドレスデータが不正なアドレスであると判定されるまで再同期処理の実行を待機させるようにしている。又、同期制御回路 4 0 は、記録ディスク 3 0 に対する記録動作中においても同様に、再同期処理の実行を待機させるようにしている。

【 0 0 5 5 】

よって、かかる動作によれば、隣接トラックからのクロストーク又は記録ディスクの表面に付着したゴミ、埃、傷等により一時的な外乱が生じても、記録動作を中断させることなく迅速に情報データの記録を完了させることが可能になる。

尚、上記実施例においては、訂正アドレスデータが不正なアドレスであると判定された場合、又は記録動作の終了時において同期処理を実施するようにしているが、所定の記録位置に記録再生ヘッド 3 2 を強制移送させる、いわゆるサーチ

動作に応じて強制的に再同期処理を実施させるようにしても良い。

【図面の簡単な説明】

【図 1】

本発明による情報記録再生装置の構成を示す図である。

【図 2】

図 1 に示される情報記録再生装置のアдресカウンタ 4 1 の内部構成を示す図である。

【図 3】

図 1 に示される情報記録再生装置のタイミング信号生成回路 5 0 の内部構成を示す図である。

【図 4】

同期制御回路 4 0 において実行される同期制御ルーチンの一例を示す図である。

【図 5】

図 4 に示す同期制御ルーチンに従って同期制御回路 4 0 が同期制御処理を実行した際におけるアドレスカウンタ 4 1 及びタイミング信号生成回路 5 0 各々の設定状態の推移を示す図である。

【図 6】

同期制御回路 4 0 において実行される同期制御ルーチンの他の一例を示す図である。

【図 7】

図 6 に示す同期制御ルーチンに従って同期制御回路 4 0 が同期制御処理を実行した際におけるタイミング信号生成回路 5 0 の設定状態の推移を示す図である。

【図 8】

同期制御回路 4 0 において実行される同期制御ルーチンの他の一例を示す図である。

【図 9】

図 7 に示す同期制御ルーチンに従って同期制御回路 4 0 が同期制御処理を実行した際におけるアドレスカウンタ 4 1 及びタイミング信号生成回路 5 0 各々の設

定状態の推移を示す図である。

【図 1 0】

同期制御回路 4 0 において実行される同期制御ルーチンの他の一例を示す図である。

【図 1 1】

図 1 0 に示す同期制御ルーチンに従って同期制御回路 4 0 が同期制御処理を実行した際におけるアドレスカウンタ 4 1 及びタイミング信号生成回路 5 0 各々の設定状態の推移を示す図である。

【図 1 2】

同期制御回路 4 0 において実行される同期制御ルーチンの他の一例を示す図である。

【図 1 3】

図 1 2 に示す同期制御ルーチンに従って同期制御回路 4 0 が同期制御処理を実行した際におけるタイミング信号生成回路 5 0 の設定状態の推移を示す図である。

【図 1 4】

同期制御回路 4 0 において実行される同期制御ルーチンの他の一例を示す図である。

【図 1 5】

図 1 4 に示す同期制御ルーチンに従って同期制御回路 4 0 が同期制御処理を実行した際におけるアドレスカウンタ 4 1 及びタイミング信号生成回路 5 0 各々の設定状態の推移を示す図である。

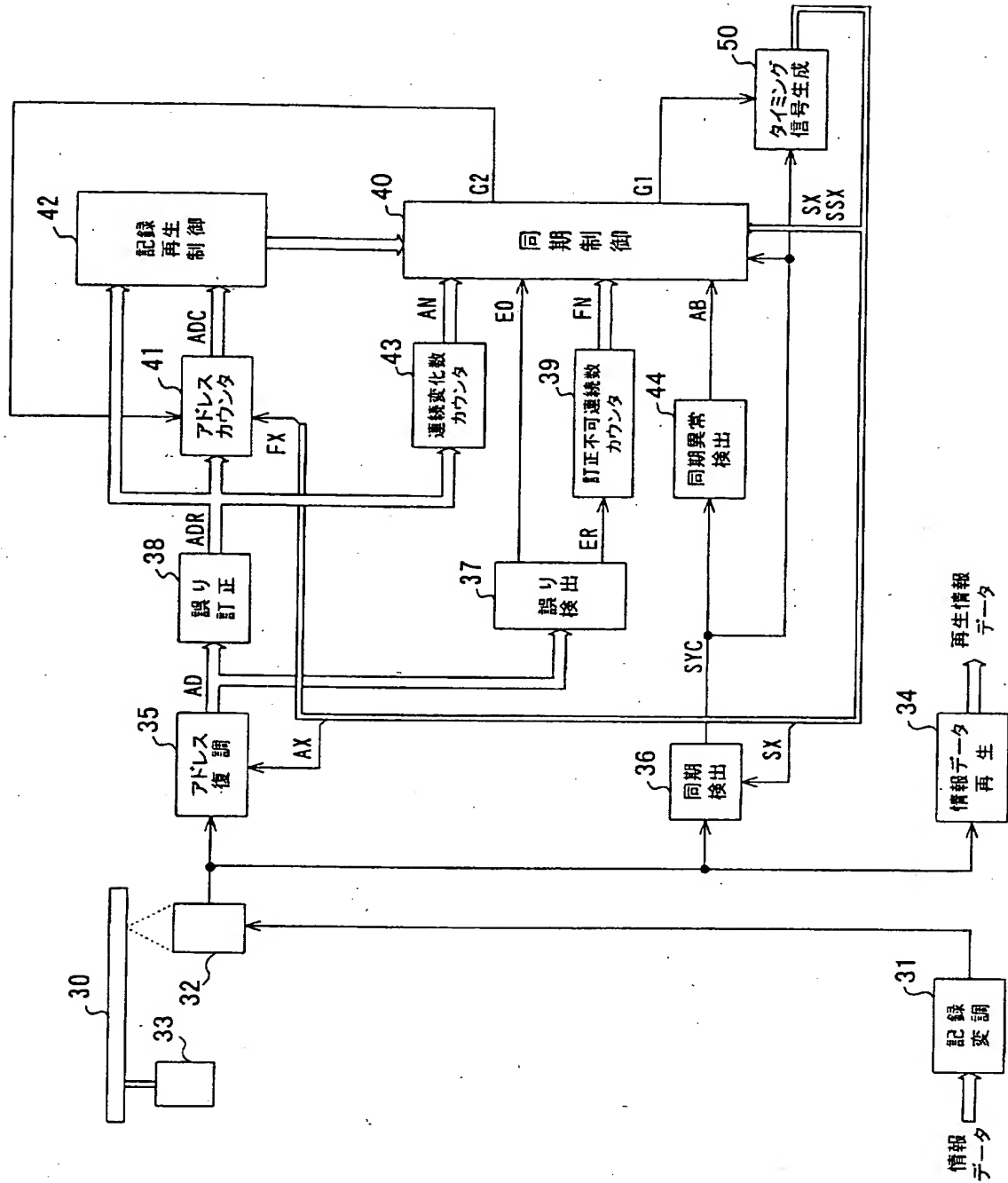
【符号の説明】

- 3 0 記録ディスク
- 3 5 アドレス復調回路
- 3 6 同期検出回路
- 3 7 誤り検出回路
- 3 8 誤り訂正回路
- 4 0 同期制御回路

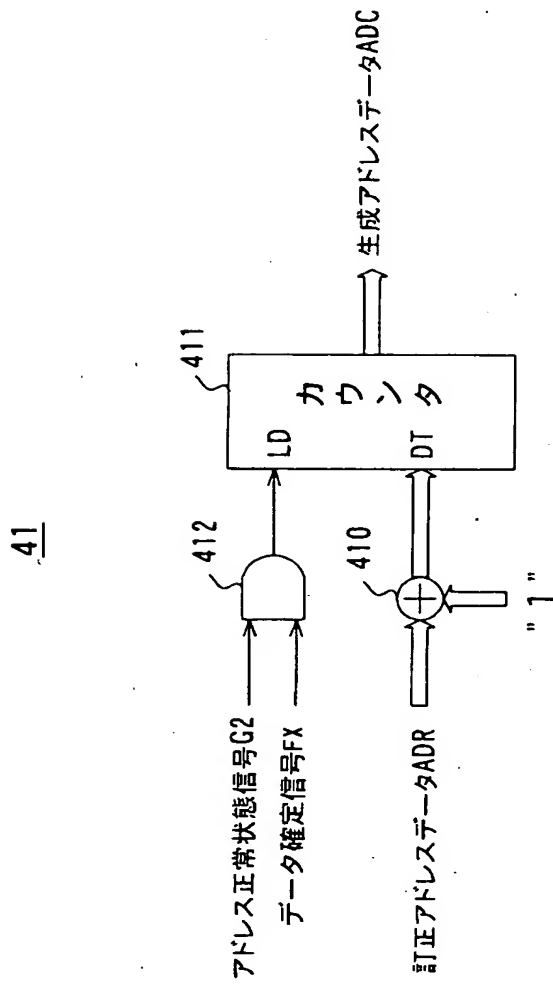
- 4 1 アドレスカウンタ
- 4 4 同期異常検出回路
- 5 0 タイミング信号生成回路

【書類名】 図面

【図 1】

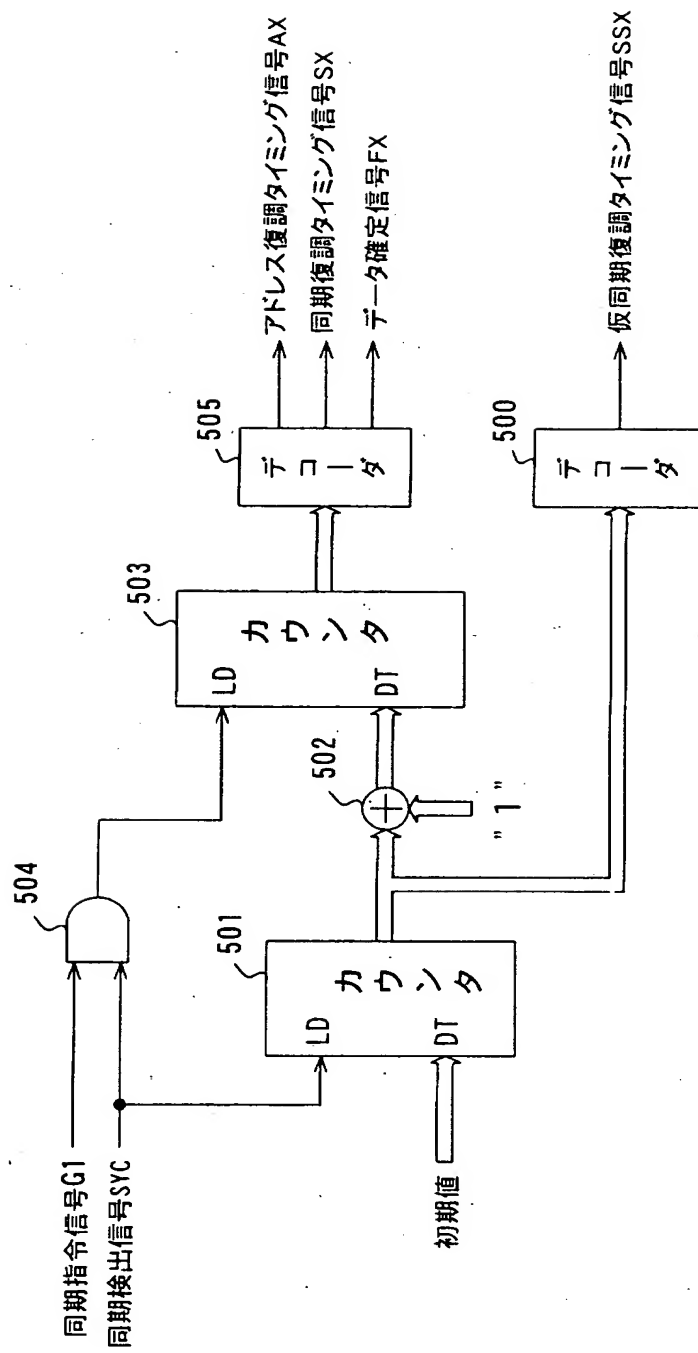


【図 2】

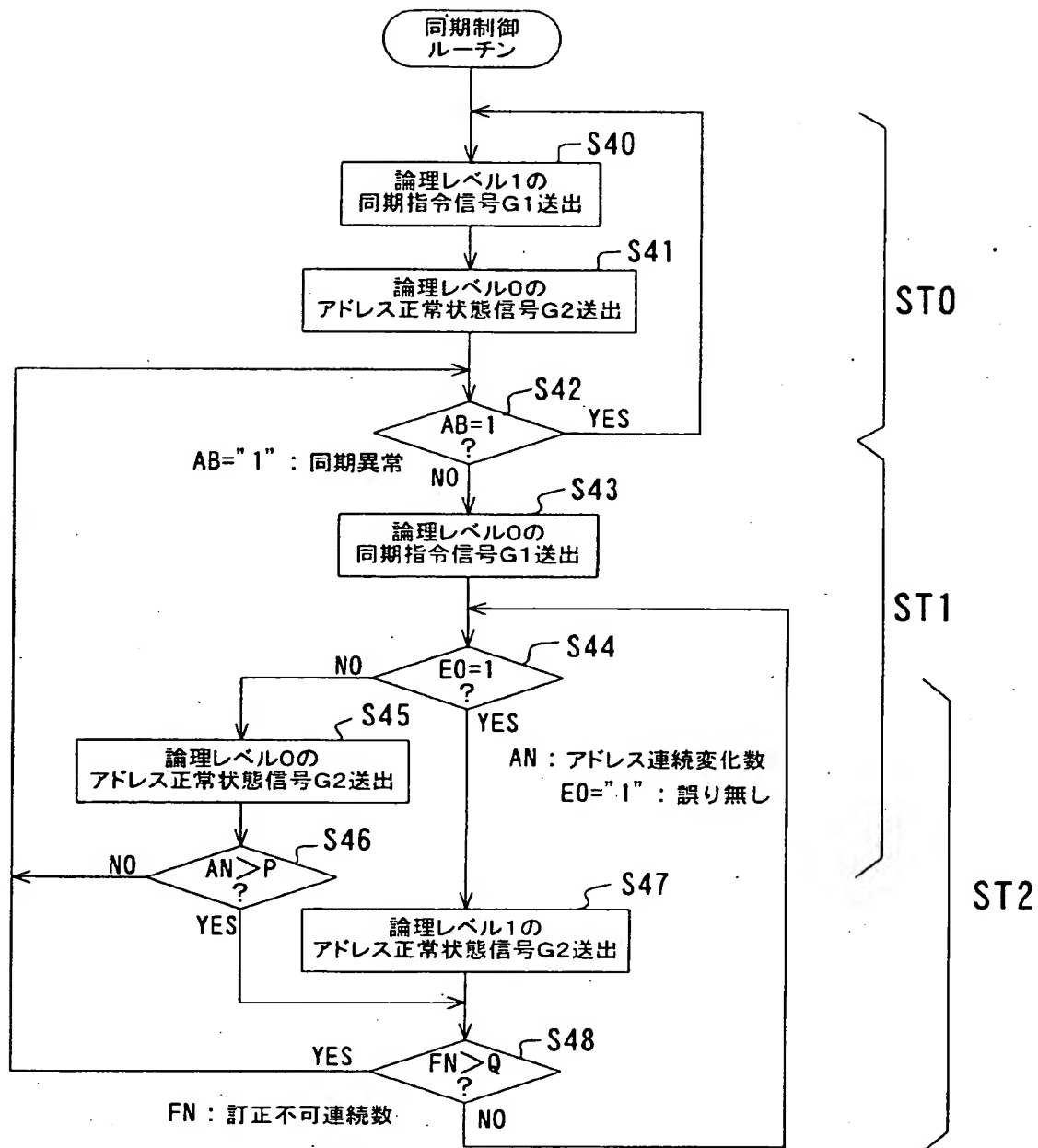


【図 3】

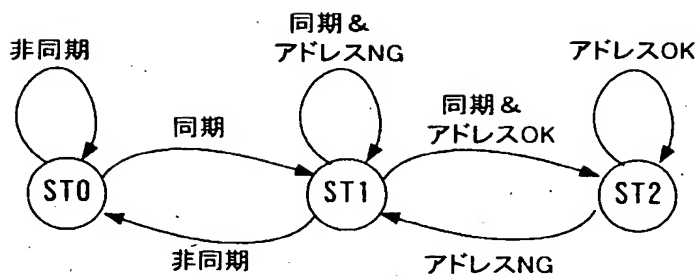
50



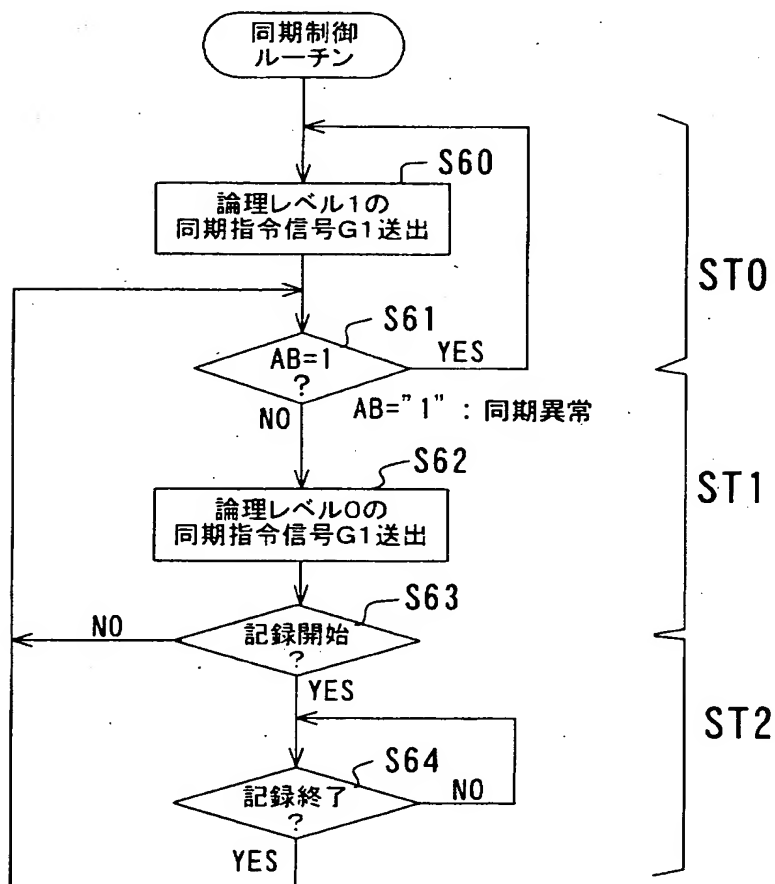
【図 4】



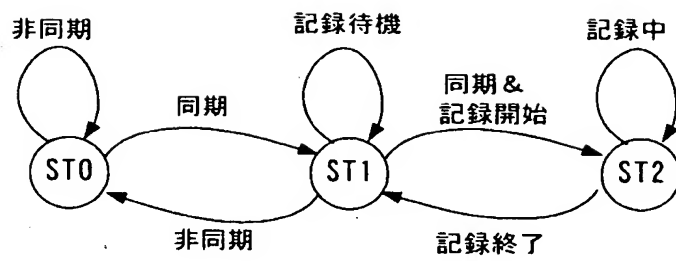
【図 5】



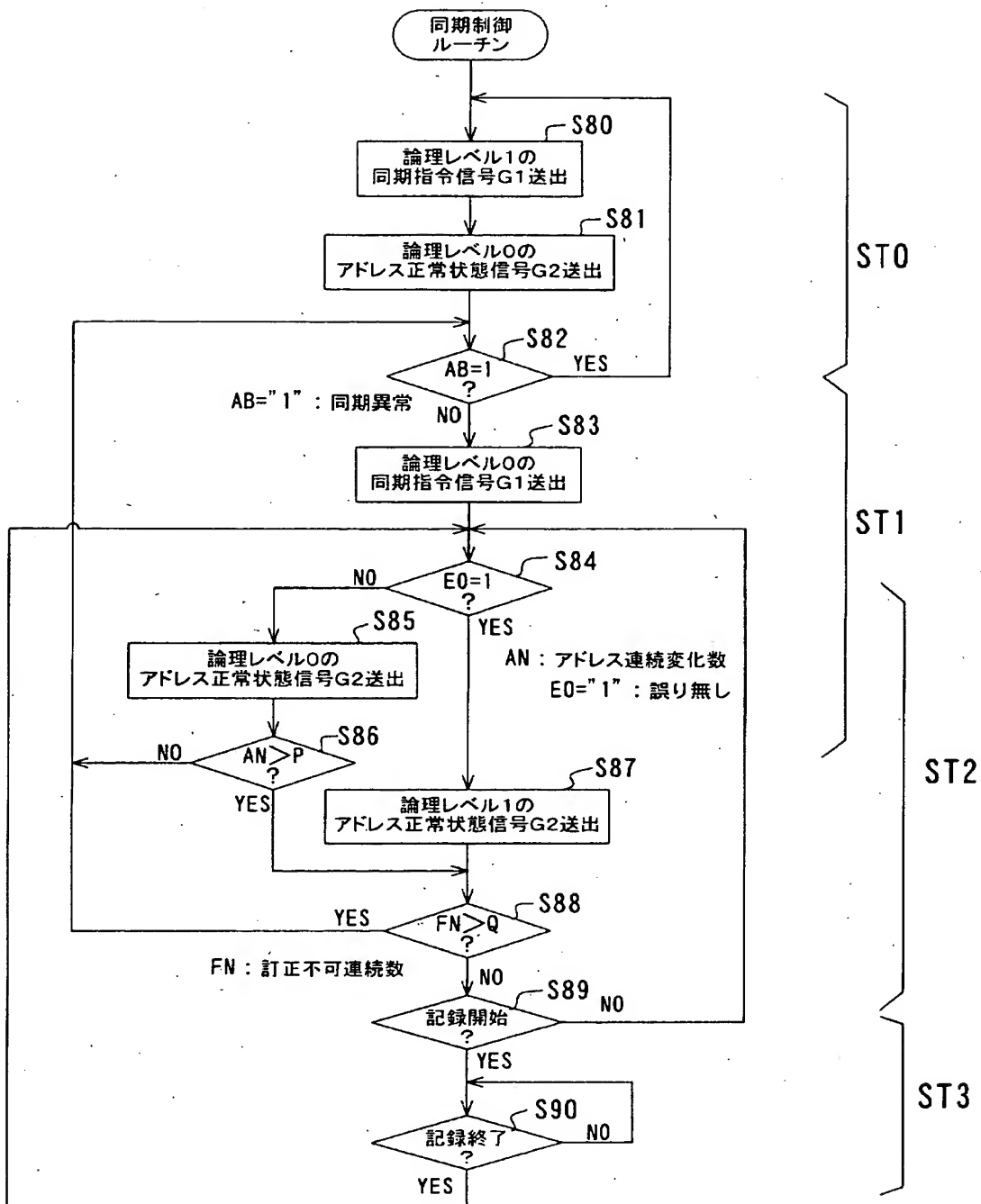
【図 6】



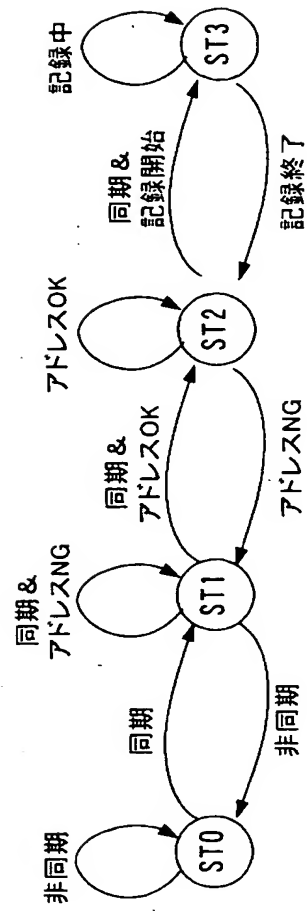
【図 7】



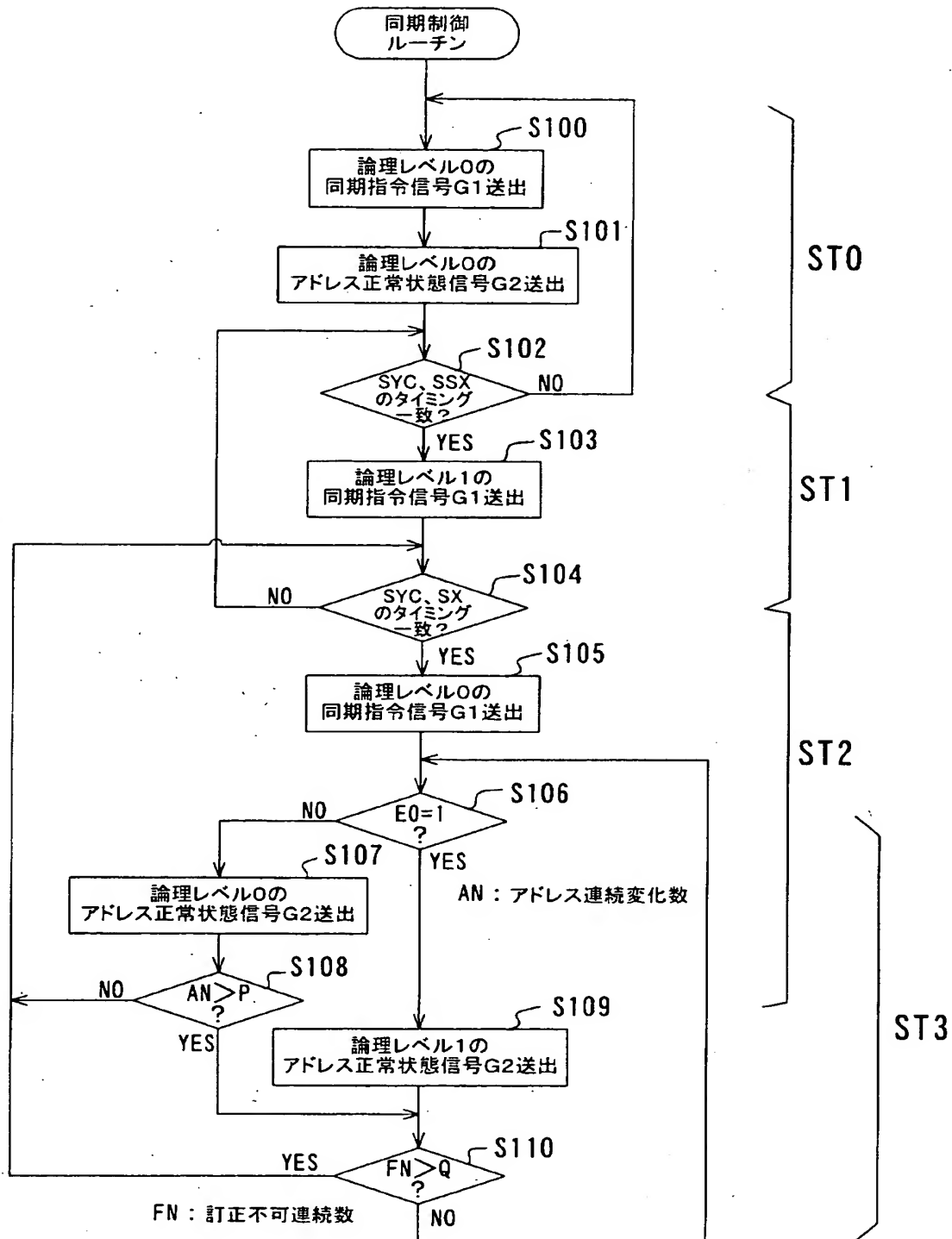
【図 8】



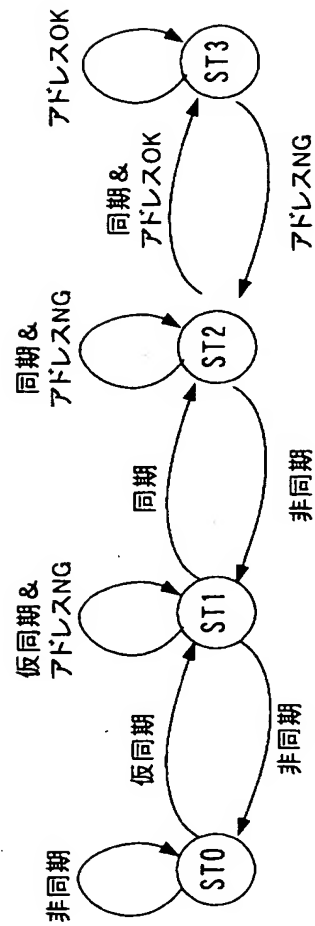
【図 9】



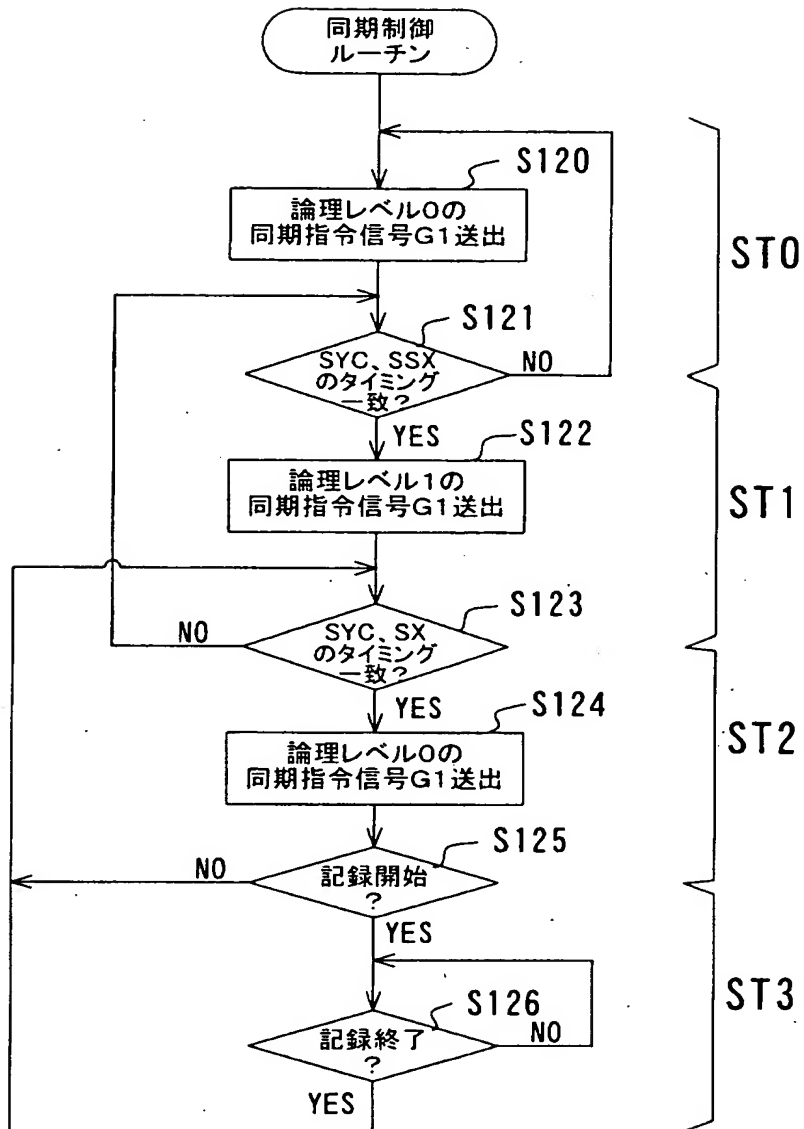
【図10】



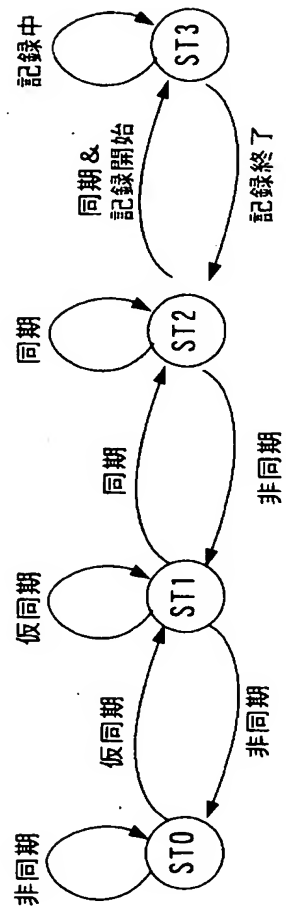
【図 1 1】



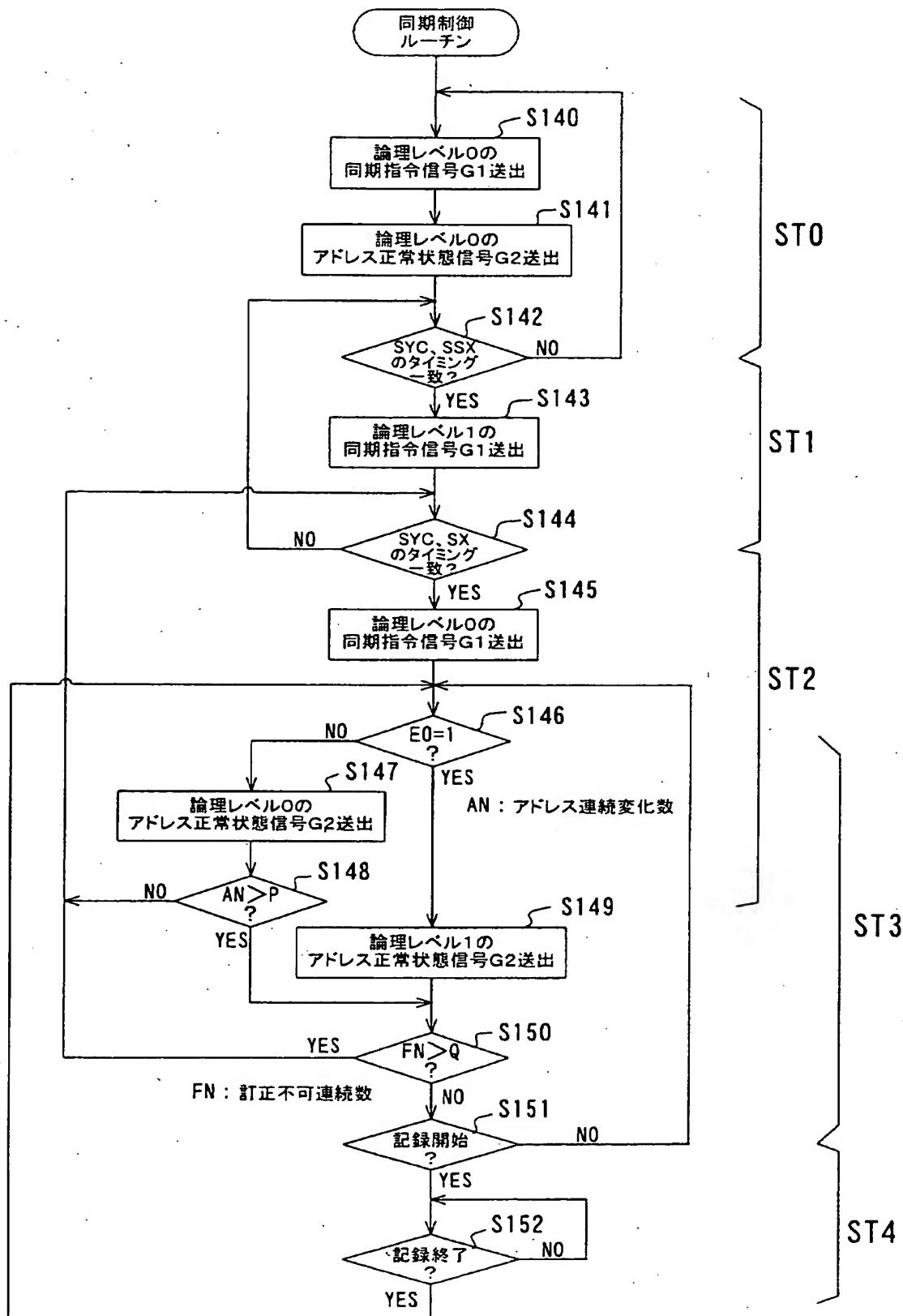
【図 1 2】



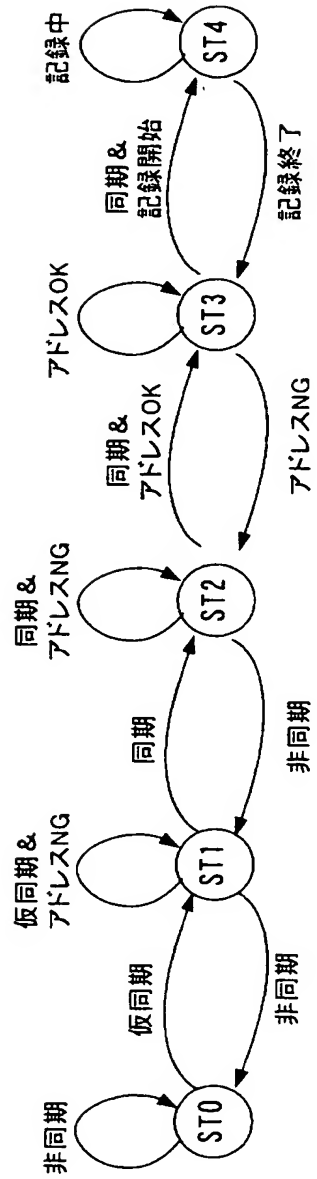
【図 13】



【図14】



【図 15】



【書類名】 要約書

【要約】

【課題】 外乱等の影響を受けても迅速に情報データの記録を完了させることができる情報記録再生装置及び情報再生方法を提供することを目的とする。

【解決手段】 復調タイミングパルスに応じて、記録媒体から読み取られた読取信号から同期信号及びアドレスを示すアドレスデータを夫々復調し、アドレスデータに対して誤り訂正処理を施して訂正アドレスデータを得ると共に、この訂正アドレスデータが正しいアドレスであるか否かを判定する。この際、同期信号の周期が所定周期と等しい場合には復調タイミングパルスを同期信号に同期させる同期処理を実行させるにあたり、訂正アドレスデータが正しいアドレスであると判定された場合にはその後、訂正アドレスデータが不正なアドレスであると判定されるまで再同期処理の実行を待機させる。かかる動作によれば、外乱によって同期信号が一時的に乱れた程度では再同期処理は実施されないので、記録動作を中断させることなく迅速に情報データの記録を完了させることが可能になる。

【選択図】 図 4

出 願 人 履 歴 情 報

識別番号 [000005016]

1. 変更年月日 1990年 8月31日
[変更理由] 新規登録
住 所 東京都目黒区目黒1丁目4番1号
氏 名 パイオニア株式会社